

BACCALAUREAT SESSION 2015

SERIE F2

ETUDE D'UN SYSTÈME
TECHNIQUE

**SUPPORT DE
CHALUMEAU**

PARTIE ELECTRONIQUE

DUREE : 4 h 30

COEFFICIENT : 2,5

BACCALAUREAT

Série : F2

SESSION 2015

Repère de l'épreuve :

Nature de l'épreuve :

E.S.T.

Durée : 4 h 30

Coef. : 2,5

Page : 0/ 22

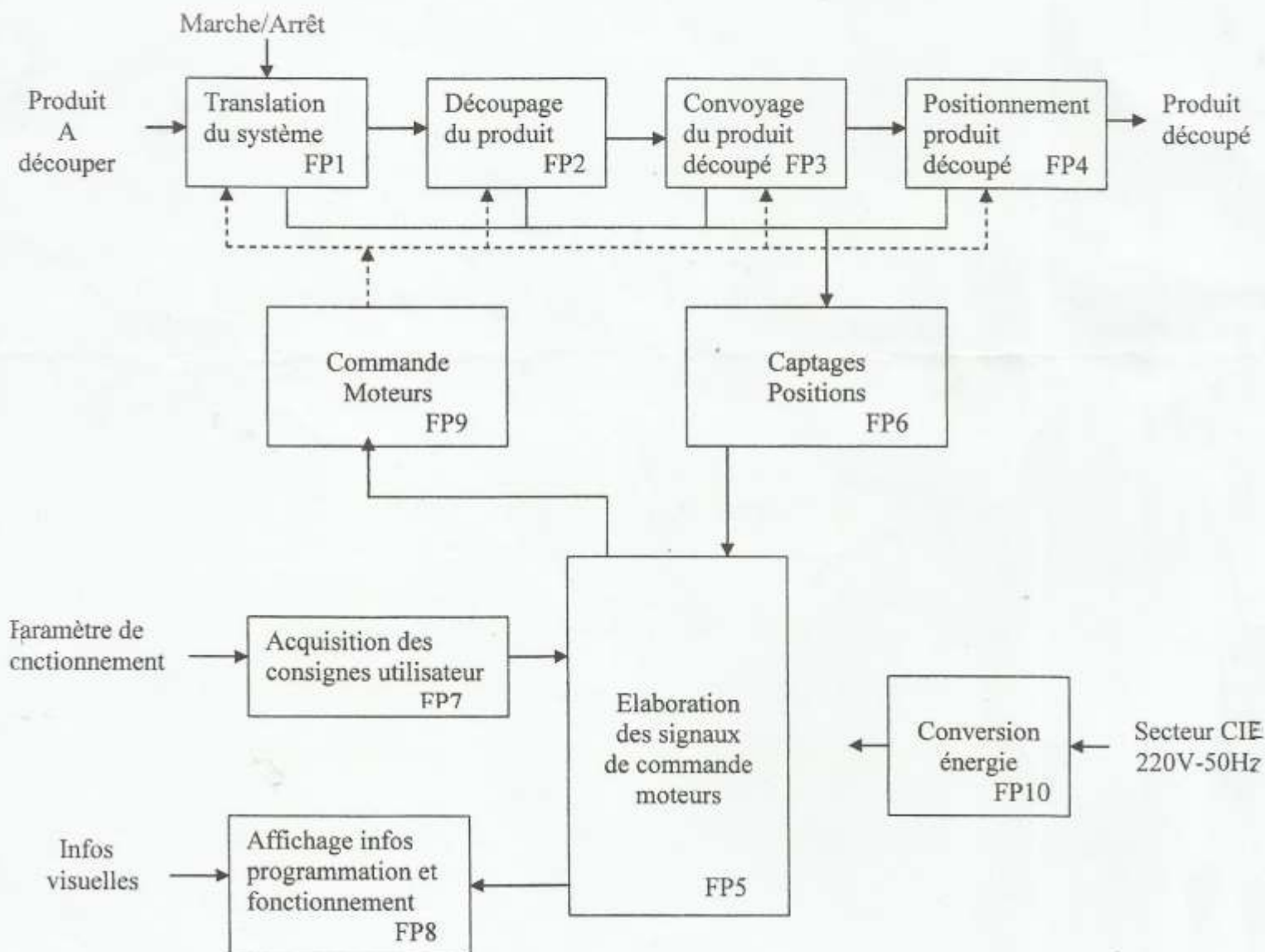
LE CHALUMEAU

1- PRESENTATION DU SYSTEME

1-1 Description

Le système étudié est utilisé pour découper et disposer les barres de fer et plaques en acier. Le déplacement du système pendant le découpage et son retour à la fin de l'opération est assuré par des moteurs électriques. Tous les mouvements sont dirigés par une commande électronique depuis une cabine. La structure d'ensemble du système correspond au schéma fonctionnel ci-après.

1-2 schéma fonctionnel de premier degré



2-ACQUISITION DES CONSIGNES UTILISATEUR FP7

La structure associée à la fonction **ACQUISITION DES CONSIGNES UTILISATEUR** a pour but d'envoyer un signal de détection et un code (sur 8 bits) représentatif de la touche appuyée.

On se propose au cours de cette partie d'étude, d'établir les relations entre les touches appuyées et les codes envoyés à la fonction **ELABORATION des SIGNAUX de COMMANDES MOTEURS (FP5)**.

A partir du schéma structurel fourni en annexe 1, on demande de :

2-1 A l'aide du document constructeur du 74LS14 (annexe 10), tracer sur le document réponse 1, quelques périodes des allures des signaux **Uc1** (prélevé sur la broche 1 du circuit U2) et **HORLOGE** (prélevé sur la broche 2 de ce même circuit). Indiquer les tensions remarquables.

Remarque : on supposera qu'à l'instant t_0 , la tension $U_{c1}=0$

2-2 En régime établi, calculer :

2-2-1 la durée de l'état haut du signal **HORLOGE**

2-2-2 la durée à l'état bas de ce même signal

2-2-3 en déduire la fréquence de ce signal.

On rappelle la relation associée au phénomène de charge et de décharge du condensateur :

$$\Delta t = \tau \times \ln \left(\frac{U_{\infty} - U_0}{U_{\infty} - U_c} \right)$$

Avec U_{∞} = valeur finale (obtenue au bout d'un temps infini)

U_0 = valeur initiale (à l'instant d'origine du phénomène de charge ou de décharge)

U_c = valeur à l'issue de Δt .

2-3 A partir du document constructeur du 74LS290 (annexe 8), tracer sur le document réponse 1 les chronogrammes de PB0, PB1, PB2 (annexe1).

2-4 Tracer sur le document réponse 1, les chronogrammes de C5, C4, C3, C2, C1 (annexe1).

2-5 Tracer sur le document réponse 1, le chronogramme de la sortie **DETECTION** si l'on appuie sur la << touche PROG >> (annexe1).

2-6 Quel est le rôle des diodes D1 à D5 (annexe1).

- que l'ensemble constitué des transistors T4 et T5 et de la résistance R14 est équivalent à un transistor PNP de puissance que l'on notera T5-4,
- que tous les transistors fonctionnent en commutation,
- que le seuil de conduction des diodes est égal à 0,6V.

Sachant que le transistor T6 doit avoir une tension VGS supérieure à 3V pour conduire :

4-1 compléter sur le document réponse 2, le schéma structurel proposé (fonction FS91, FS92 et FS94) en faisant apparaître le transistor T5-4 (en remplacement de T4, T5 et R14 du schéma initial) et en remplaçant la fonction FS93 par son modèle équivalent de sortie en phase de fonctionnement du chariot.

4-2 En phase de fonctionnement du chariot (PC5/81C55 au niveau bas), donner en vous aidant des documents constructeurs (annexe 5 et annexe 6), l'état (bloqué ou saturé) du transistor T5-4 et celui (bloqué ou conducteur) du transistor T6.

4-3 En phase freinage ou d'arrêt, donner les états des transistors T5-4 et T6.

4-4 En vous aidant de la documentation technique de l'IRF540 (annexe 6), justifier la présence de DZ2

4-5 En vous aidant de la documentation technique du TIP 120 (annexe 5), déterminer la valeur de sa tension VCEsat. Sachant que, en phase de fonctionnement, le moteur consomme 2A, en déduire la puissance dissipée par T4 (TIP120).

5-ELABORATION DES SIGNAUX DE COMMANDE MOTEURS

La carte **ELABORATION DES SIGNAUX DE COMMANDE MOTEURS** reçoit toutes les informations provenant des capteurs et génère les signaux nécessaires à la commande des différents organes mécaniques. Tous les signaux de commande sont gérés par un microcontrôleur.

On se propose de vérifier que l'implantation mémoire des différents composants de cette carte est bien réalisée.

Schéma architectural de la carte

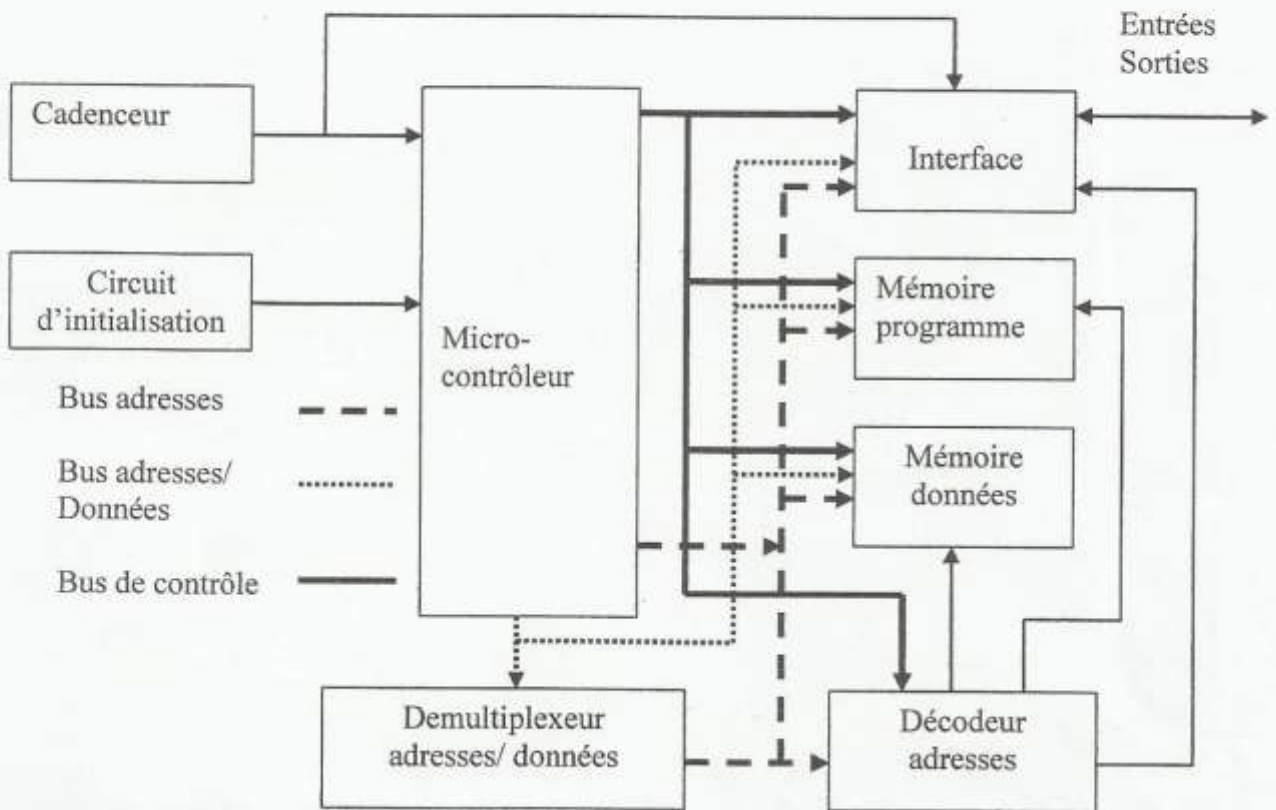


Schéma structurel : voir annexe 4

5-1 Quelle est la différence entre un microcontrôleur et un microprocesseur ?

5-2 Identifier à partir du schéma de l'annexe 4 et du schéma de la carte (P6) les circuits principaux assurant les fonctions suivantes :

- Cadenceur
- Circuit d'initialisation (RESET)
- Interface (Entrée-sortie)

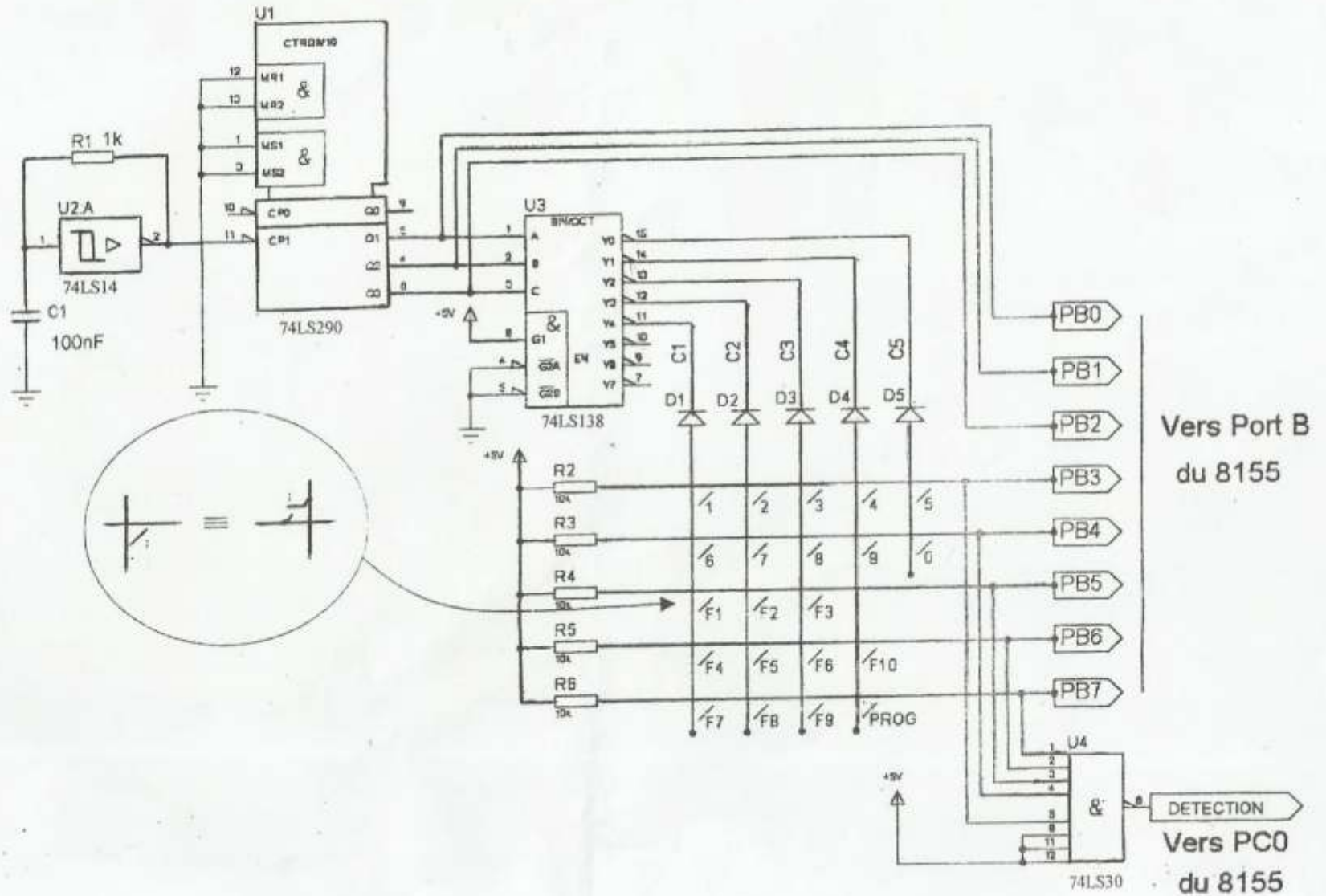
5-3 En vous aidant de la documentation constructeur associée (annexe 12 ou annexe 13), donner en octets et en kilo-octets la capacité mémoire des composants suivants :

- X22C10
- Am27C64

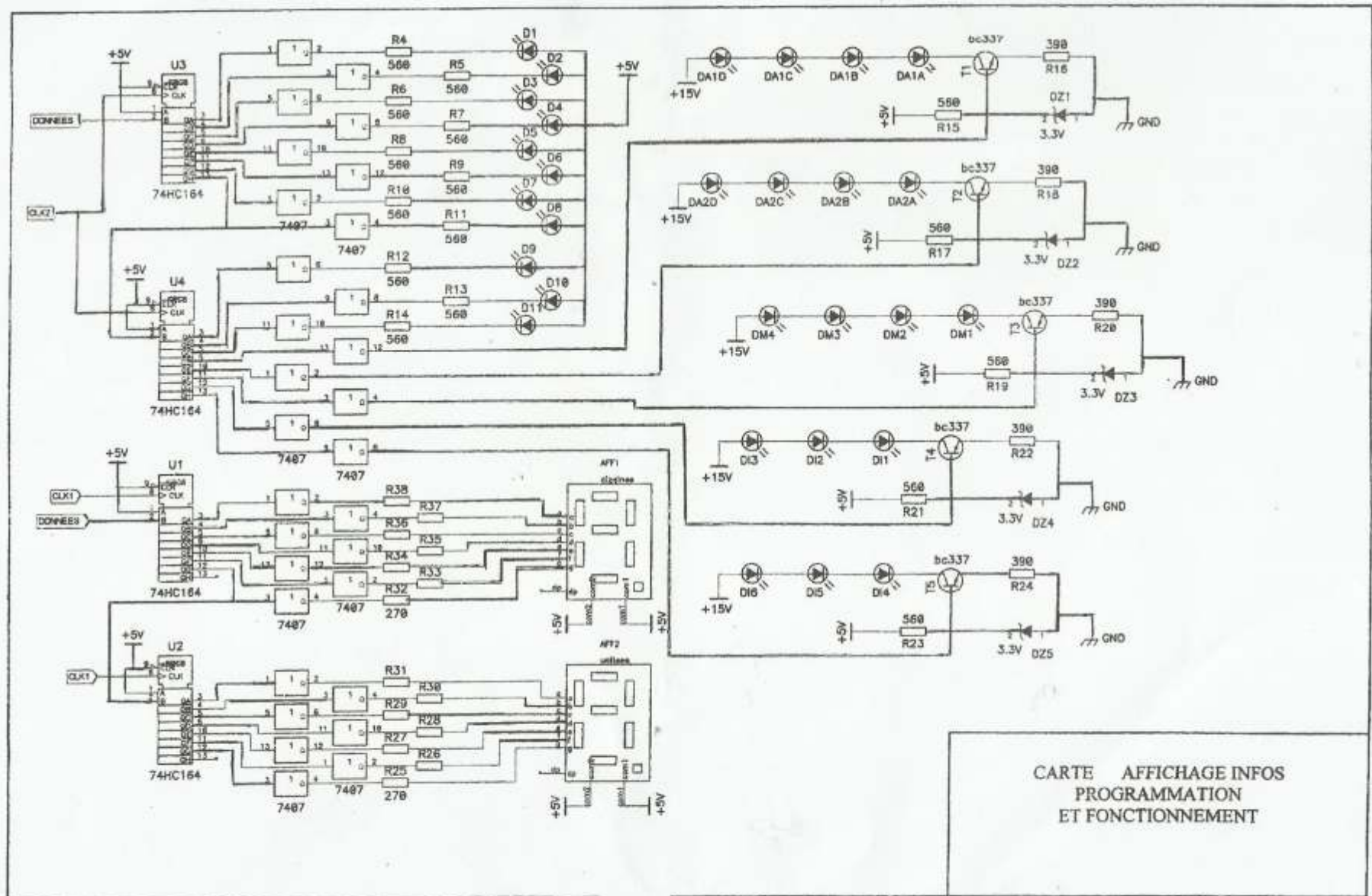
5-4 Donner le rôle du signal « ALE » produit par le 80C31 (annexe 14) ainsi que le rôle du 74HC373 (annexe 7).

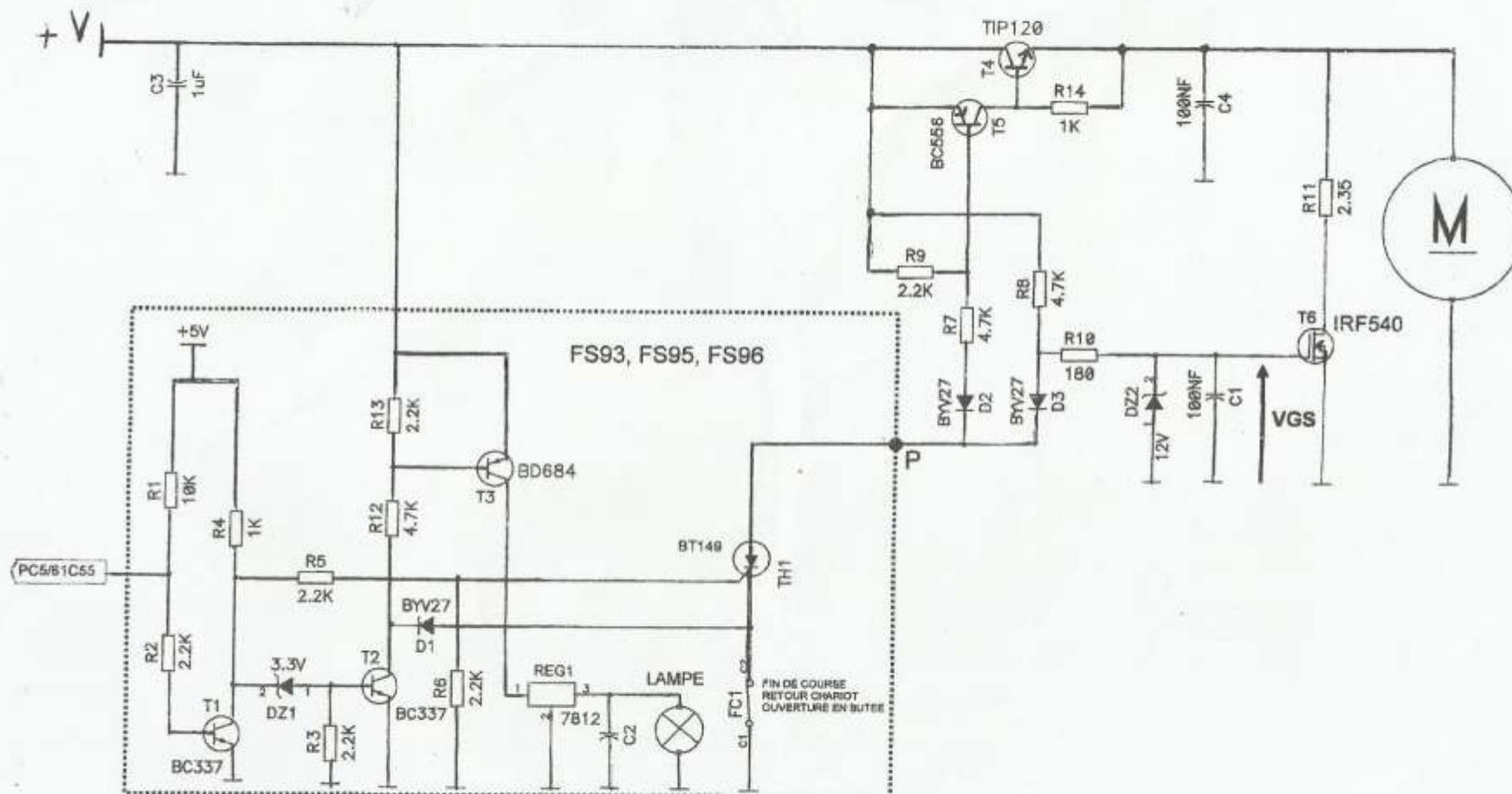
5-5 Quel est le niveau logique sur les broches de validation des boîtiers des composants 27C64, 8155 (MSM81C55 sur l'annexe 13) et X22C10 pour que ceux-ci soient sélectionnés ?

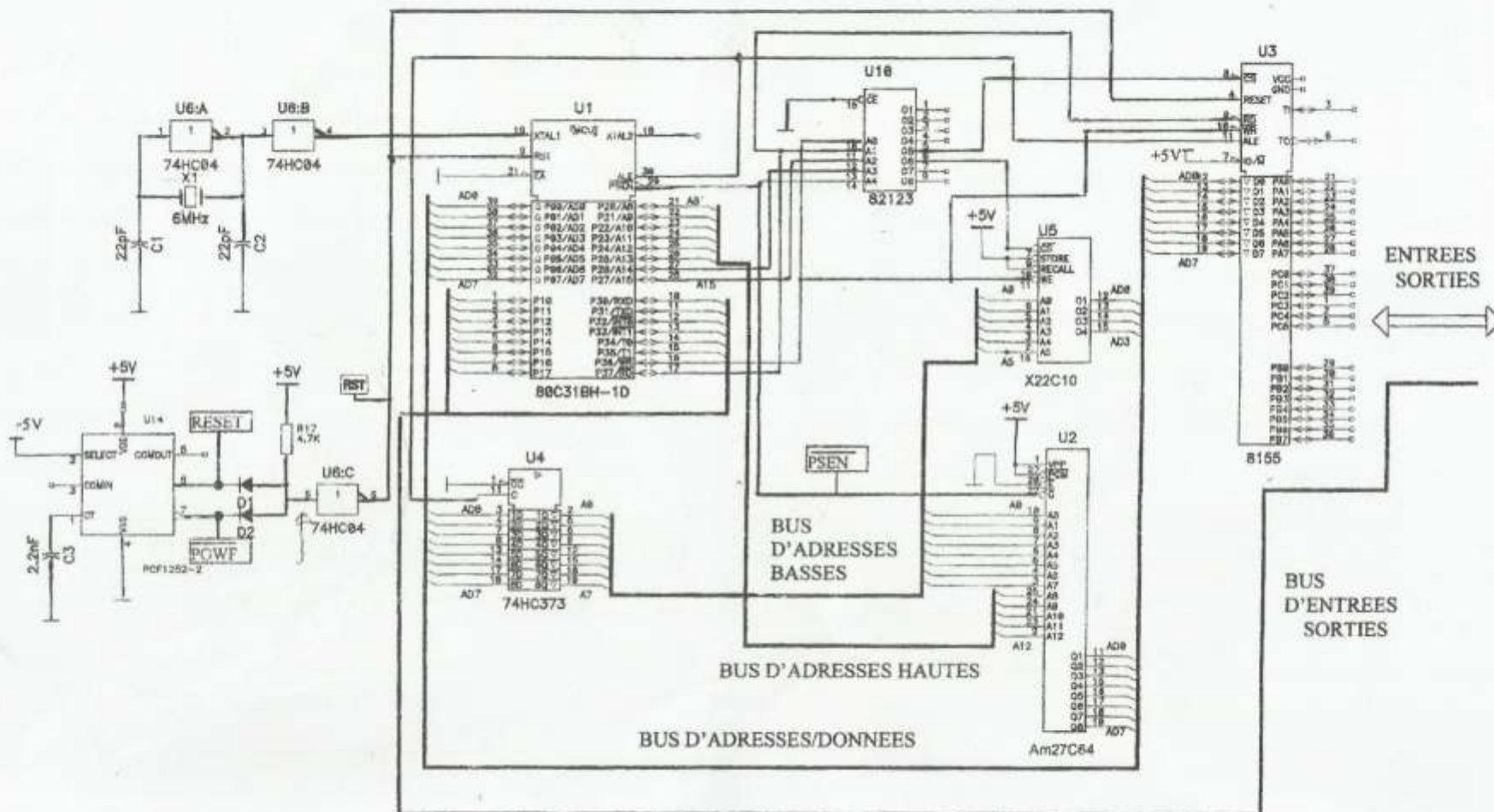
Annexe 1



Annexe 2







ST **SGS-THOMSON**
 MICROELECTRONICS

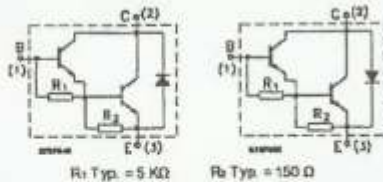
TIP120/121/122
TIP125/126/127

COMPLEMENTARY SILICON POWER
 DARLINGTON TRANSISTORS



TO-220

INTERNAL SCHEMATIC DIAGRAM



DESCRIPTION

Les TIP120, TIP121 et TIP122 sont des transistors de type NPN monolithiques, montés en Darlington, encapsulés dans un boîtier Jedec TO-220 plastique. Ils sont conçus pour des applications nécessitant une puissance moyenne (commutation, amplification). Les modèles TIP125, TIP126 et TIP127 sont respectivement leurs complémentaires en type PNP.

CARACTERISTIQUES THERMIQUES

- Température de jonction max. $T_J = 150^\circ\text{C}$
- Résistances thermiques maximales :
 jonction-boîtier $R_{TH}(JB) = 1,92^\circ\text{C/W}$
 jonction-air ambiant $R_{TH}(JA) = 62,5^\circ\text{C/W}$

CARACTERISTIQUES MAXIMALES

Symbol	Parameter	Value				Unit
		NPN	TIP120	TIP121	TIP122	
V_{CBO}	Collector-Base Voltage ($I_E = 0$)		80	80	100	V
V_{CEO}	Collector-Emitter Voltage ($I_B = 0$)		60	80	100	V
V_{EB0}	Emitter-Base Voltage ($I_C = 0$)			5		V
I_C	Collector Current			5		A
I_{CM}	Collector Peak Current			8		A
I_B	Base Current			0,1		A
P_{tot}	Total Dissipation at $T_{amb} \leq 25^\circ\text{C}$			2		W
T_{stg}	Storage Temperature			-65 to 150		$^\circ\text{C}$
T_J	Max. Operating Junction Temperature			150		$^\circ\text{C}$

* For PNP types voltage and current values are negative.

$V_{CE\text{ SAT}} = 2\text{V}$ maximum pour $I_C > 1\text{A}$.



SGS-THOMSON
 MICROELECTRONICS

IRF540
IRF540FI

**N - CHANNEL ENHANCEMENT MODE
 POWER MOS TRANSISTORS**



DESCRIPTION

Les modèles IRF540 et IRF540FI sont des transistors de puissance MOS canal N à enrichissement. Boîtier Jedec TO-220.

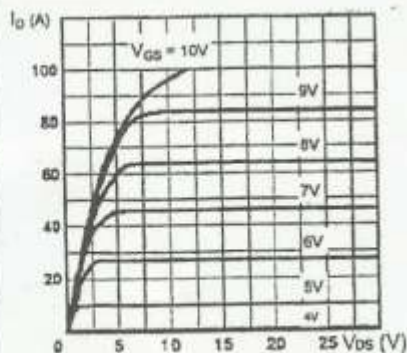
- Valeur courante $R_{DS(on)} = 0,045 \Omega$
- Technologie à avalanche abrupte
- Testé à 100% en avalanche
- Faible charge de grille
- Fort courant
- Température élevée d'utilisation (175°C)
- $V_{GS(max)} = 20\text{V}$

APPLICATIONS

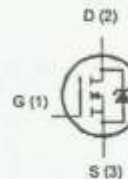
- Commutation fort courant à grande vitesse
- Pilotage de relais et bobines
- Régulateurs
- Convertisseurs DC-DC & DC-AC
- Commande de moteurs, amplificateurs audio
- Véhicules à moteurs (injection, ABS, AIR-BAG, lampes, Etc.)

TO-220

CARACTERISTIQUE DE SORTIE

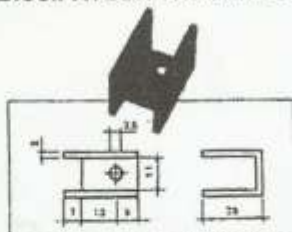


INTERNAL SCHEMATIC DIAGRAM



TYPE	V_{DS}	$R_{DS(on)}$	I_D
IRF540	100 V	$< 0,077 \Omega$	30 A
IRF540FI	100 V	$< 0,077 \Omega$	16 A

DISSIPATEUR THERMIQUE ML26



ML26 pour boîtier TO-220
 $R_{TH} = 20^\circ\text{C/W}$



SN74LS138
 3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS



TABLE DE FONCTIONNEMENT

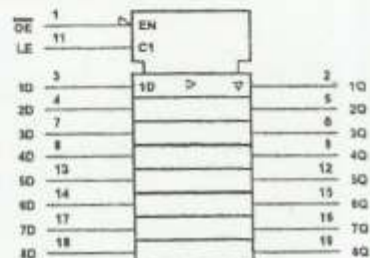
INPUTS						OUTPUTS							
ENABLE			SELECT										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

SN74HC373
 OCTAL TRANSPARENT D-TYPE LATCHES
 WITH 3-STATE OUTPUTS

Octuple verrou dont le fonctionnement de chaque bascule D est régi d'après la table de fonctionnement ci-contre.

Q₀ : mémorisation état précédent
 Z : état haute impédance

INPUTS			OUTPUT
OE	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

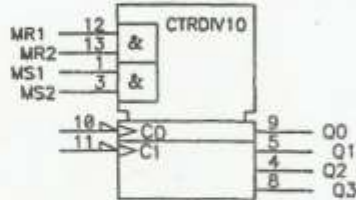


**MOTOROLA****SN74LS290 DECADE COUNTER ; 4-BIT BINARY COUNTER****DESCRIPTION GENERALE**

Le SN74LS290 est un compteur 4-bit décomposable en deux parties. Un compteur-diviseur par 2 et un compteur-diviseur par 5, déclenchés tous les deux par un front descendant appliqué sur leur entrée d'horloge respective. Deux entrées de remise à 0 et deux entrées de mise à 9 sont disponibles.

FONCTIONNEMENT

C0 : entrée d'horloge compteur-diviseur par 2
 C1 : entrée d'horloge compteur-diviseur par 5
 MR1, MR2 : entrées Master Reset (remise à 0 de Q3 - Q0)
 MS1, MS2 : entrées Master Set (mise à 9 de Q3 - Q0)
 Q0 : sortie compteur-diviseur par 2
 Q1, Q2, Q3 : sorties compteur-diviseur par 5



Vcc : 14
 GND : 7
 NC : 2, 6

Mode de fonctionnement :

Entrées RESET / SET				Sorties			
MR1	MR2	MS1	MS2	Q3	Q2	Q1	Q0
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
0	X	0	X	Comptage			
X	0	X	0	Comptage			
0	X	X	0	Comptage			
X	0	0	X	Comptage			

X : état indifférent

Les deux compteurs peuvent être employés individuellement ou reliés ensemble :

Compteur BCD :

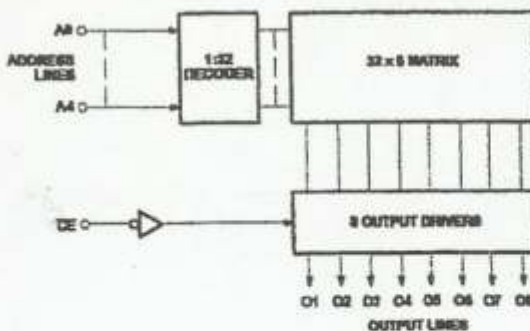
Sortie Q0 reliée à l'entrée d'horloge C1 et signal de comptage sur l'entrée C0.

Compteur BI-quinaire :

Sortie Q3 reliée à l'entrée d'horloge C0 et signal de comptage sur l'entrée C1.

Séquence de comptage du compteur diviseur par 5 :

Comptage	Sorties		
	Q3	Q2	Q1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0

**PHILIPS 82S123****256-bit TTL bipolar PROM (32 x 8)****DESCRIPTION**

Le circuit 82S123 est personnalisable par programmation suivant la procédure « Signetics Generic fusing procedure ». Initialement, toutes les sorties sont au niveau logique 0.

Les sorties sont fixées au niveau logique 1 par destruction des fusibles de la matrice Ni-Cr aux adresses spécifiées dans la programmation.

La technologie 3 états des sorties permet l'interfaçage direct avec les systèmes à base de microcontrôleur / microprocesseur.

Le faible temps d'accès de 50ns permet un traitement très rapide des informations.

APPLICATIONS

- Transcodage
- séquençage
- décodage d'adresses
- programmation matérielle.

Annexe 9



PHILIPS

74HC164

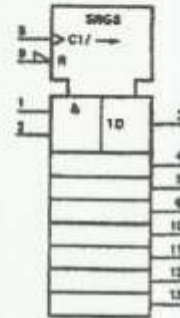
8-bit serial-in/parallel-out shift register

DESCRIPTION GENERALE

Le 74HC164 est un circuit de la famille CMOS rapide. C'est un registre à décalage 8 bits déclenché sur fronts d'horloge avec entrée des données en série. Les 8 sorties correspondent aux 8 étages composés de bascules D.

FONCTIONNEMENT

Les données sont entrées par la broche 1 (D_{sa}) ou la broche 2 (D_{sb}). Si une entrée est utilisée, l'autre sert de validation et doit être à l'état haut pour valider le fonctionnement. Il est également possible de relier les deux entrées ensemble. Les données sont décalées d'un rang de la sortie Q₀ vers la sortie Q₇ à chaque front montant de l'horloge CP et la donnée présente en entrée (D_{sa} ou D_{sb}) se retrouve en sortie Q₀. Un état bas sur l'entrée Master Reset (MR) force toutes les sorties à 0 de façon asynchrone, quelque soit l'état de l'entrée de donnée.



PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2	D _{sa} , D _{sb}	data inputs
3, 4, 5, 6, 10, 11, 12, 13	Q ₀ to Q ₇	outputs
7	GND	ground (0 V)
8	CP	clock input (LOW-to-HIGH, edge-triggered)
9	MR	master reset input (active LOW)
14	V _{cc}	positive supply voltage

H : état haut ; L : état bas

X : état indifférent

h, l : état haut ou bas
juste avant le front actif
sur l'horloge CP

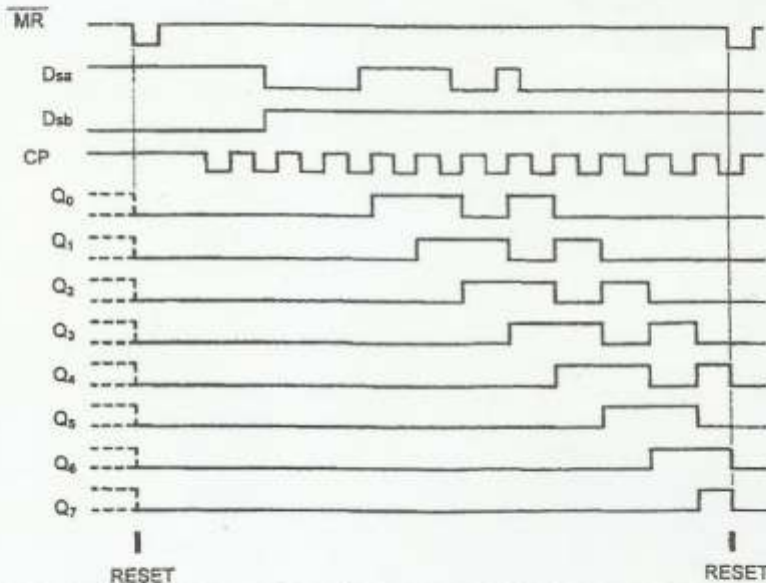
qi : sortie Q_i juste avant
le front actif sur l'horloge
CP

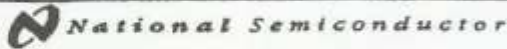
↑ : front actif d'horloge

shift : « décalage »

OPERATING MODES	INPUTS				OUTPUTS	
	MR	CP	D _{sa}	D _{sb}	Q ₀	Q ₁ - Q ₇
reset (clear)	L	X	X	X	L	L - L
shift	H	↑	l	l	L	Q ₀ - Q ₀
	H	↑	h	l	L	Q ₀ - Q ₁
	H	↑	h	h	H	Q ₀ - Q ₂

Exemple de séquence de décalage :





DM7407 Hex Buffers with High Voltage Open-Collector Outputs

DESCRIPTION GENERALE

Le circuit contient 6 portes logiques avec sortie de type collecteur ouvert.

CARACTERISTIQUES

Symbol	Parameter	DM7407			Units
		Min	Norm	Max	
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	High Level Input Voltage	2			V
V _{IL}	Low Level Input Voltage			0.8	V
V _{OH}	High Level Output Voltage			3.0	V
I _{OL}	Low Level Output Current			40	mA
T _A	Free Air Operating Temperature	0		70	°C

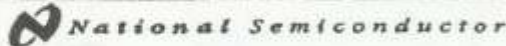
Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _S = -12 mA			-1.5	V
I _{CCX}	High Level Output Current	V _{CC} = Min, V _O = 30V, V _{IH} = Min			250	μA
V _{OL}	Low Level Output Voltage					V
		I _{OL} = 16 mA, V _{CC} = Min			0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 5.5V			1	mA
I _{SI}	High Level Input Current	V _{CC} = Max, V _I = 2.4V			40	μA
I _{SL}	Low Level Input Current	V _{CC} = Max, V _I = 0.4V			-1.5	mA

Y = A

Input	Output
A	Y
L	L
H	H

H = High Logic Level

L = Low Logic Level



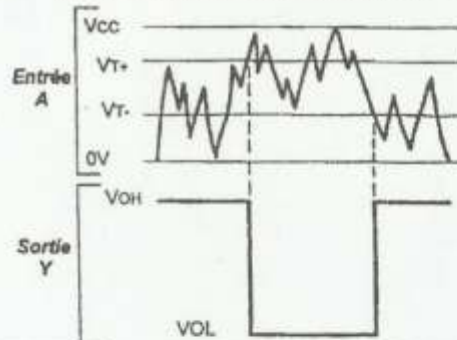
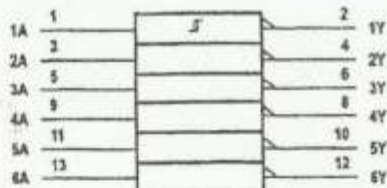
DM74LS14 Hex Inverters with Schmitt Trigger Inputs

DESCRIPTION GENERALE

Le circuit DM74LS14 est un sextuple inverseur logique à entrées de type Trigger de Schmitt basé sur la technologie TTL LS. Les niveaux de tension de déclenchement VT+ et VT- permettent la mise en forme de signaux parasites ou variant lentement dans le temps.

RESUME DE CARACTERISTIQUES

- Tension d'alimentation : 5V ± 5%
- Hystérésis: 0,8V (typ.) ; 0,4V minimum garanti
- Seuils typ. (à 5V) : VT+ = 1,65V ; VT- = 0,85V
- Tension max. de sortie à l'état bas : VOL = 0,4V
- Tension min. de sortie à l'état haut : VOH = 3,5V



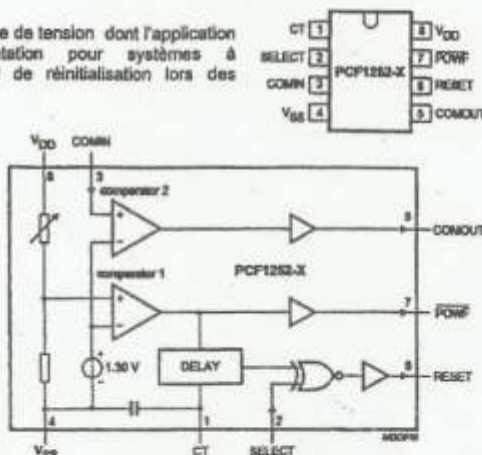
PHILIPS PCF 1252-X Threshold detector and reset generator

DESCRIPTION GENERALE

La famille PCF1252-X est constituée de détecteurs de baisse de tension dont l'application principale réside dans les superviseurs d'alimentation pour systèmes à microprocesseur/microcontrôleur pour générer un signal de réinitialisation lors des défaillances d'alimentation ou à l'initialisation.

Le PCF1252-X fournit un signal **POWF** (Power Fail) activé lors d'une défaillance de l'alimentation VDD. Un système de d'initialisation génère un signal **RESET** avec un retard dont la durée est déterminée par un condensateur externe Ccr (voir schéma). Un deuxième dispositif intégré permet le contrôle d'alimentation d'un autre point du système (COMIN, COMOUT).

SYMBOL	PIN	DESCRIPTION
CT	1	connexion pour la capacité externe
SELECT	2	Polarité de la sortie RESET ou entrée de RAZ externe
COMIN	3	Entrée comparateur 2
Vss	4	masse (0 V)
COMOUT	5	Sortie comparateur 2
RESET	6	Sortie initialisation
POWF	7	Sortie défaillance alimentation
VDD	8	Tension d'alimentation / tension à superviser dans le système



FONCTIONNEMENT

Le PCF1252-X contient :

- Une référence de tension précise de 1,30 V
- Deux comparateurs
- Un circuit retard (DELAY).

La famille PCF1252-X comprend 10 versions avec, pour chacune, un seuil de tension VTRIP différent (voir tableau).

Alimentation

L'alimentation (VDD) passe par un pont diviseur de tension avant d'être comparée à la tension de référence interne (voir structure interne).

Polarité du signal RESET

Le signal RESET est actif à l'état :

- haut si SELECT = 0
- bas si SELECT = 1

Reset à l'initialisation (avec SELECT = 1)

Après la mise sous tension et tant que $V_{DD} < V_{TRIP}$, le signal RESET suit les variations de la tension VDD.

Dès que $V_{DD} > V_{TRIP}$, le signal RESET passe à 0V pendant une durée (t_a) déterminée par la valeur donnée à Ccr (voir abaque).

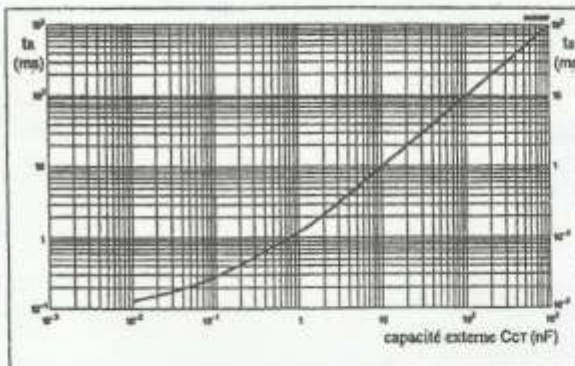
Ccr est au maximum égal à 1 μF et connecté à la broche 1 (CT).

Défaillance d'alimentation (avec SELECT = 1)

La sortie **POWF** est à l'état :

- bas si VDD est en dessous du seuil V_{TRIP}
- haut si VDD est au-dessus du seuil V_{TRIP}

Pendant tout le temps où $V_{DD} < V_{TRIP}$, **POWF** = 0.



CHARACTERISTIQUES ELECTRIQUES

VDD = 2,4 to 6,0V; VSS = 0V; Tamb = -40 to +85 °C

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
VDD	supply voltage		2,4	—	6,0	V
VTRIP	Voltage trip-point	Tamb = +25 °C				
	PCF1252-0		4,70	4,75	4,80	V
	PCF1252-1		4,60	4,65	4,65	V
	PCF1252-2		4,30	4,25	4,30	V
	PCF1252-3		4,00	4,05	4,10	V
	PCF1252-4		3,70	3,75	3,80	V
	PCF1252-5		3,60	3,65	3,60	V
	PCF1252-6		3,20	3,25	3,20	V
	PCF1252-7		3,00	3,05	3,10	V
	PCF1252-8		2,70	2,75	2,80	V
	PCF1252-9		2,50	2,55	2,60	V
ID0	supply current	Tamb = +25 °C; VDD = VTRIP = 0,5V; COMIN = VDD;	—	10	15	μA
Vhys	voltage trip-point hysteresis		15	30	50	mV

XICOP X22C10

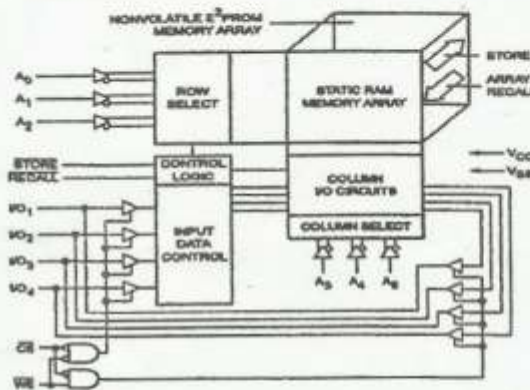
256 Bit Nonvolatile Static RAM (64 x 4)

CARACTERISTIQUES GENERALES

- CMOS haute performance — 120ns temps accès RAM
- Grande fiabilité : - 1 000 000 cycles de sauvegarde
- 100 années rétention de données
- Faible consommation : - Actif: 40mA Max.
- Standby: 100µA Max.
- Nombre infini de cycles de lecture/écriture en RAM
- Inhibition sauvegarde : Vcc = 3,5V Typ.
- Compatible TTL et CMOS
- Standard JEDEC 18-Pin 300-mil DIP
- 100% Compatible avec X2210

FONCTIONNEMENT

FUNCTIONAL DIAGRAM



Symbols	Description
A0-A5	entrées d'adresses
I/O1-I/O4	Entrées/sorties données
WE	validation écriture
CS	validation circuit (active à 0)
RECALL	récupération des données sauvegardées
STORE	sauvegarde des données dans l'EEPROM
VCC	+5V
VSS	Masse
NC	Non Connecté

SAUVEGARDE DES DONNEES (STORE CYCLE)

L'entrée **STORE**, active à 0, initialise le transfert total du contenu de la RAM vers l'EEPROM.

Les entrées **WE** et **RECALL** sont inhibées pendant le cycle de sauvegarde.

Cette opération est réalisée en 5ms maximum et a priorité sur une opération de lecture/écriture en RAM.

Si **STORE** intervient pendant une opération de lecture en RAM, la lecture sera interrompue.

Si **STORE** intervient pendant une opération d'écriture en RAM, celle-ci se termine et la sauvegarde est effectuée.

DESCRIPTION

Le circuit X22C10 est une RAM non volatile (NOVRAM) CMOS de 64 x 4 bits. Elle se compose d'une RAM statique et d'une EEPROM. La conception de la NOVRAM permet aux données d'être facilement transférables de la RAM à l'EEPROM (STORE) et de l'EEPROM à la RAM (RECALL).

L'opération de sauvegarde (STORE) est réalisée en 5ms au maximum et la récupération (RECALL) en 1µs. Les NOVRAM sont conçues pour un nombre infini d'opérations de lecture/écriture en RAM et de récupération en EEPROM (RECALL).

RECUPERATION DES DONNEES (RECALL)

L'entrée **RECALL**, active à 0, initialise le transfert total du contenu de l'EEPROM vers la RAM.

Le transfert s'effectue au plus en 1µs et est prioritaire. Une récupération est prioritaire sur une opération de lecture/écriture en RAM. Un cycle de lecture ou écriture sera interrompu lorsque **RECALL** = 0.

RECALL = 0 inhibe l'entrée **STORE**.

Récupération automatique

A la mise sous tension, une récupération de donnée est automatiquement effectuée (de l'EEPROM vers la RAM).



Am27C64 64 Kbits (8 K x 8-Bits) CMOS EPROM

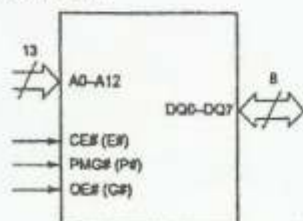
DESCRIPTION

Le circuit Am27C64 est une mémoire à lecture seule de 64-Kbits, effaçable par UV et reprogrammable. Son organisation est de 8 Koctets de 8 bits. Elle fonctionne avec une alimentation unique de +5 V, possède un mode veille (static standby mode), et possède un temps d'accès très rapide (au maximum 45ns). Le circuit possède deux entrées de contrôle distinctes OE# (Output Enable) et CE# (Chip Enable), évitant ainsi les conflits de bus dans les systèmes à bus multiples. La technologie CMOS employée fournit grande vitesse, faible consommation et une forte immunité au bruit : typiquement une consommation de seulement 80 μ W en mode actif et 100 μ W en veille.

Tous les signaux sont compatibles TTL, y compris les signaux de programmation.

CARACTERISTIQUES GENERALES

LOGIC SYMBOL



Désignation des broches :

A0-A12 = entrées d'adresses
 CE# ($\overline{E}$) = validation du boîtier (actif à 0)
 DQ0-DQ7 = bus de données (3 états)
 OE# ($\overline{G}$) = validation des sorties (actif à 0)
 PGM# ($\overline{P}$) = mode programmation (actif à 0)
 VCC = alimentation VCC
 VPP = tension de programmation
 VSS = masse
 NC = non connecté



OKI Semiconductor

MSM81C55 2048-Bits CMOS STATIC RAM WITH I/O PORTS AND TIMER

DESCRIPTION

Le circuit MSM81C55 est constitué d'une RAM statique de 2kbits (256 octets), de 3 ports parallèles d'entrées/sorties (PIO) et d'un temporisateur programmable (TIMER). De technologie CMOS, sa consommation atteint 100 μ A maximum en veille (standby current). Le temps d'accès maximum est de 400 ns.

Les ports parallèles d'entrées/sorties consistent en deux ports de 8 bits et un de 6 bits.

Le compteur/temporisateur programmable sur 14 bits peut être utilisé pour la génération de signaux ou pour le comptage d'impulsions (entre autres).

CARACTERISTIQUES GENERALES

Désignation des broches :

AD0-AD7 = entrées/sorties 3 états : bus d'adresses multiplexé avec le bus de données

CE ($\overline{CS}$) = validation du boîtier (active à 0)

ALE = entrée permettant le démultiplexage du bus d'adresse / bus de données en AD0-AD7.

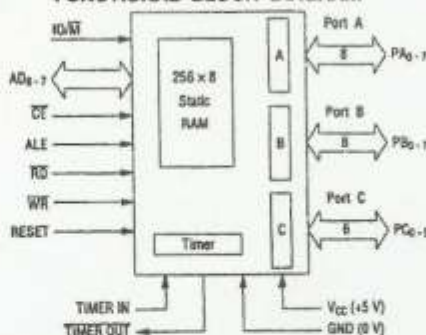
IO/M = entrée sélection entrées/sorties internes (IO/M = 1) ou mémoire (IO/M = 0)

RD = commande de lecture des données (active à 0)

WR = commande d'écriture des données (active à 0)

PA0-7, PB0-7, PC0-5 = ports parallèles d'entrées/sorties

FUNCTIONAL BLOCK DIAGRAM



intel 80C31BH / 80C51BH

CHMOS SINGLE-CHIP 8-BIT MICROCONTROLLER

DESCRIPTION

Les microcontrôleurs 80C31BH/80C51BH sont des microcontrôleurs 8 bits, de technologie CHMOS, fonctionnellement compatibles avec les microcontrôleurs standards de la famille 80C31 / 80C51 HMOS.

- Température d'utilisation de -40 à +125 °C
- Technologie CHMOS (CMOS haute performance)
- Contrôle de la consommation
- ROM interne : 4 Kbits pour le 80C51
0 pour le 80C31 (ROMLESS)
- RAM interne : 128 x 8 bits
- 32 lignes d'entrées/sorties programmables
- 2 compteurs/temporisateurs 16-Bits
- 5 sources d'interruption
- Processeur logique Booleen
- Port série programmable
- Logique compatible TTL et CMOS
- 64Ko d'espace mémoire programme adressable
- 64K d'espace mémoire données externe adressable
- Disponible en version 12 MHz et 16 MHz
- Disponible en boîtiers PLCC et DIP

CARACTERISTIQUES GENERALES

Vss 0 volt

Vcc +5 volts ±10%

PORT 0: Le port 0 est un port 8 bits bidirectionnel. Il est multiplexé avec les poids faibles d'adresses (A0-A7) lors d'un accès à une mémoire externe.

PORT 1: Le port 1 est un port 8 bits bidirectionnel.

PORT 2: Le port 2 est un port 8 bits bidirectionnel. Il envoie les poids forts d'adresse (A8-A15) lors d'un accès à une mémoire externe.

PORT 3: Le port 3 est un port 8 bits bidirectionnel.

Il peut être utilisé à d'autres fonctions :

- P3.0 RXD (Entrée série)
- P3.1 TXD (Sortie série)
- P3.2 INT0 (Entrée interruption externe)
- P3.3 INT1 (Entrée interruption externe)
- P3.4 T0 (Entrée du compteur/temporisateur 0)
- P3.5 T1 (Entrée du compteur/temporisateur 1)
- P3.6 WR (Sortie signal d'écriture dans la mémoire données externe)
- P3.7 RD (Sortie signal de lecture dans la mémoire données externe)

RESET : Entrée signal de remise à zéro du microcontrôleur. Active à l'état haut (durée min. 2mS).

ALE (Address Latch Enable): sortie signal pour mémoriser la partie basse du bus d'adresse lors d'un accès mémoire externe (démultiplexage du port 0). En temps normal, ALE est émis à une fréquence égale à 1/6 de celle de l'oscillateur. Il peut servir d'horloge pour des circuits périphériques si on n'utilise pas de mémoire de données (RAM) externe. Dans ce cas, ALE est actif deux fois par cycle machine.

PSEN (Program Store ENable): sortie active à 0 ; signal de lecture des instructions dans la mémoire programme externe.

EA (External Access enable): Pour le 80C51BH, l'entrée EA doit être reliée à Vss pour avoir accès aux instructions stockées dans une mémoire programme externe. Reliée à Vcc, EA permet l'exécution d'un programme interne en ROM. Pour le 80C31BH, cette entrée est non utilisée et doit rester à Vss.

XTAL1: entrée amplificateur de l'oscillateur et du circuit d'horloge interne.

XTAL2: sortie amplificateur de l'oscillateur

Caractéristiques de l'oscillateur :

XTAL1 et XTAL2 servent à créer l'oscillateur de référence du 80C31/80C51. La fréquence générée passe par le circuit d'horloge interne afin de générer l'horloge système ainsi que les différents signaux de synchronisation tel que ALE.

Cycle machine :

Un cycle machine est de durée égale à 12 périodes d'horloge oscillateur (soit 2 cycles du signal ALE).

