

**BACCALAURÉAT
SCIENCES ET TECHNOLOGIES INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Étude des systèmes techniques industriels

**MACHINE À COMMANDE NUMÉRIQUE
3 AXES**



Partie électronique

Durée conseillée 4h30

Lecture de l'Analyse Fonctionnelle : 20mn

Le questionnaire est constitué de 5 parties indépendantes (I à V)

I. Questions relatives à l'analyse fonctionnelle : 20mn

II. Etude de FP2 : 2h

III. Etude de FP4 : 30mn

IV. Etude de FP3 : 40mn

V. Etude de FP1 : 40mn

Cette partie contient :

- Questions : C1 à C8
- Documents réponse : CR1 à CR3
- Documentation : CAN1 à CAN10

**BACCALAURÉAT
SCIENCES ET TECHNOLOGIES INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Étude des systèmes techniques industriels



**MACHINE À COMMANDE NUMÉRIQUE
3 AXES**

Partie électronique

- Questions : C1 à C8

I. Questions relatives à l'analyse fonctionnelle (dossier : A1 à A7)

- Q1- Donner les avantages de la gravure mécanique par rapport à la gravure chimique.
- Q2- Quel type de moteur est utilisé pour les déplacements de l'outil ?
Quel type de moteur est utilisé pour la rotation de la broche ?
- Q3- Justifier ce choix technologique par rapport à la spécificité de chaque moteur et la fonction qu'il doit remplir.
- Q4- Donner la nature des informations échangées entre la machine et l'ordinateur.
Préciser les caractéristiques de cette liaison :
- sens de circulation des données.
 - type de transmission.

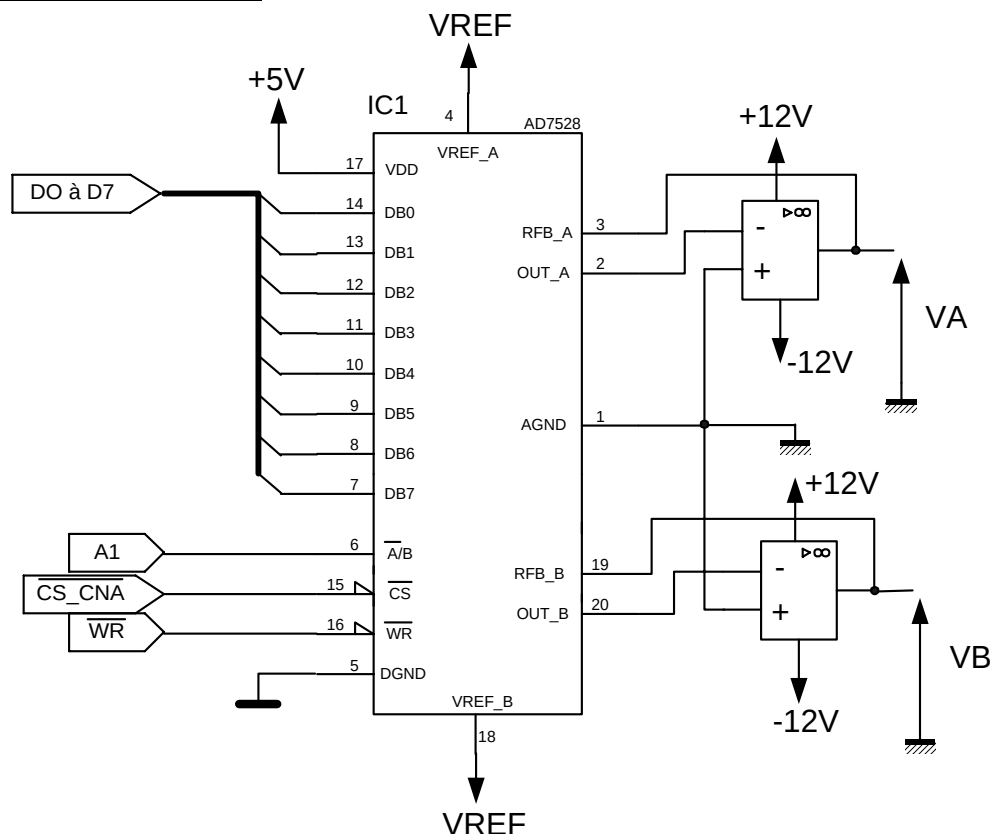


II. Étude de FP2 : commande des moteurs pas à pas

II.1. Étude de FS21 : conversion numérique analogique deux voies.

Pour contrôler le déplacement de l'outil suivant un axe, le microprocesseur doit piloter les 2 phases d'un moteur pas à pas. L'information de commande étant numérique, il faut réaliser une conversion numérique analogique. Le but de cette étude est d'analyser le fonctionnement du convertisseur afin de comprendre comment le commander et calculer les tensions de sortie en fonction du nombre appliqué en entrée.

Schéma structurel de FS21 :



Pour les questions suivantes, on prendra $V_{REF} = 5V$ et on supposera $\overline{CS_CNA} = 0$.

À partir du schéma structural de FS21 et de la documentation du convertisseur **AD7528** (pages **CAN1** et **CAN2**), répondre aux questions suivantes.

Q5- Expliquer le principe utilisé pour commander deux convertisseurs à partir d'un seul port d'entrée.

Q6- Quel niveau logique faut-il appliquer sur l'entrée $\overline{WR}$ pour charger une valeur à convertir dans un verrou ?

Pour le niveau opposé, comment évoluent les sorties des verrous et des convertisseurs.

Q7- Compléter le **document réponse N°1 (page CR1)** en indiquant le convertisseur chargé (**DAC A** ou **DAC B**) en fonction de l'état du bit **A1**.

On note **Nbin**₍₁₀₎ la valeur décimale du nombre à convertir appliqué sur les entrées **D0** à **D7**. On notera **Nbin**₍₂₎ sa valeur en binaire et **Nbin**₍₁₆₎ sa valeur en hexadécimal.

Q8- Compléter le **document réponse N°1 (page CR1)** en indiquant les nombres hexadécimaux **NbinDACA**₍₁₆₎ et **NbinDACB**₍₁₆₎ présents en entrée de chaque **DAC**.

Q9- Identifier dans le document technique du convertisseur **AD7528** la figure et la table de conversion correspondant à notre application.

Q10- Donner la valeur maximale de **Nbin**₍₁₀₎.

Déduire de la table de conversion l'expression de la tension de sortie **Vout** en fonction de **Nbin**₍₁₀₎.

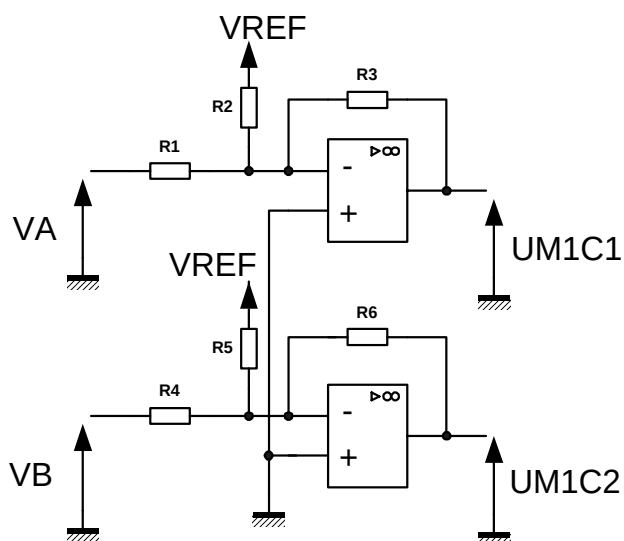
Calculer la résolution en sortie du convertisseur appelée quantum = **1LSB**.

Q11- Compléter sur le **document réponse N°1 (page CR1)** les 4 premières colonnes du tableau.

Q12- Compléter sur le **document réponse N°2 (page CR2)** les chronogrammes des tensions **VA** et **VB** obtenus pour une commande par demi pas du moteur.

II.2. Étude de FS22 : amplification et décalage

Schéma structurel de FS22 :



$$V_{REF} = 5V$$

$$R1 = R4 = 5k\Omega$$

$$R5 = R2 = 10k\Omega$$

$$R3 = R6 = 20k\Omega$$

Q13- Sachant que $UM1C1 = -R3 \left(\frac{VA}{R1} + \frac{V_{REF}}{R2} \right)$

Déduire l'expression de **UM1C2** en fonction de **VB** et **VREF**.

Q14- Effectuer l'application numérique et compléter les valeurs de UM1C dans le tableau du **document réponse N°1 (page CR1)**.

Q15- Compléter sur le **document réponse N°2 (page CR2)** les chronogrammes des tensions **UM1C1** et **UM1C2**.

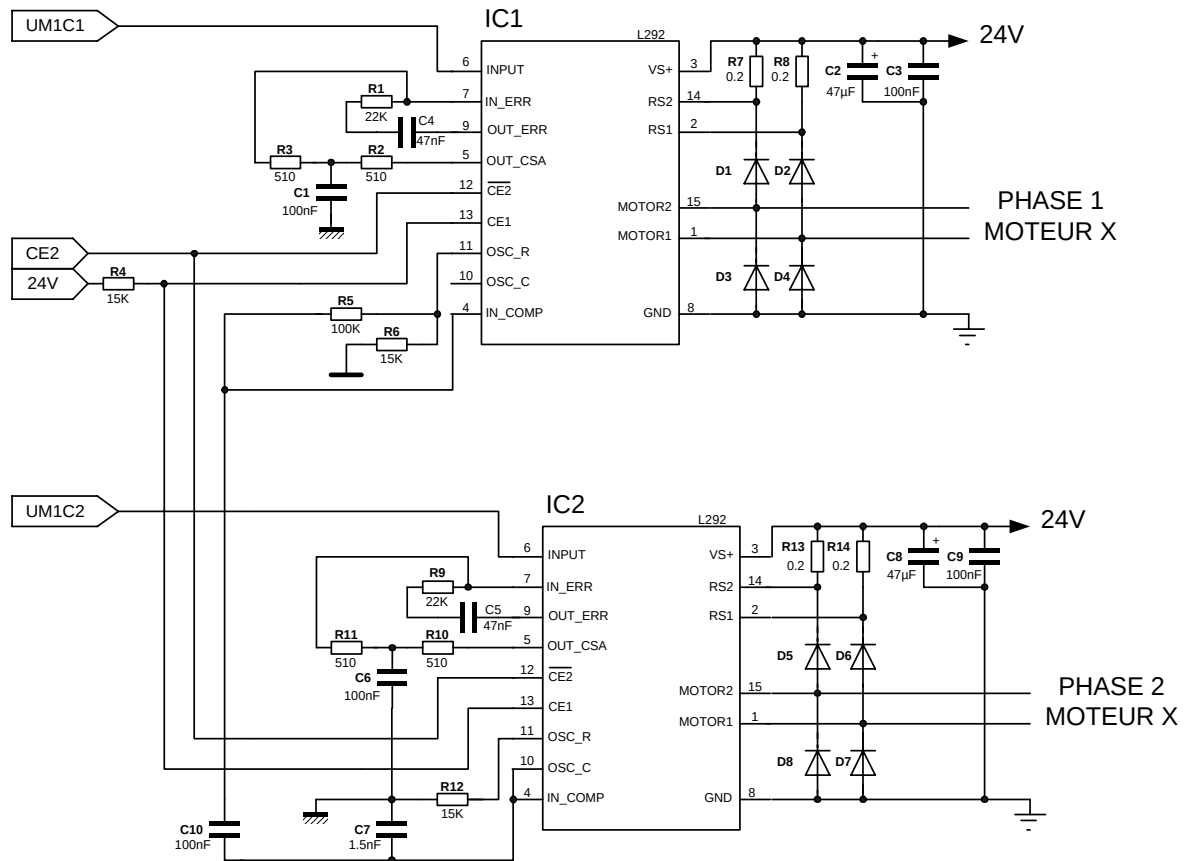
Q16- Conclure sur le rôle de la fonction **FS22**.

II.3. Etude de FS23 : amplification de puissance

Pour amener le rotor d'un moteur pas à pas dans une position donnée, il faut créer un champ magnétique qui dépend du courant électrique dans chaque enroulement ou phase. La grandeur électrique importante dans la commande d'un enroulement de moteur pas à pas est donc l'intensité du courant électrique qui, dans notre application, doit être proportionnelle à la tension **UM1C**.

Le passage d'une position à l'autre (avance d'un pas) du rotor est obtenu par commutation de courant dans les enroulements. Or le circuit électrique d'un moteur pas à pas est composé de bobinages : il est donc inductif. Le schéma équivalent d'un enroulement est donc un circuit **RL** : association en série d'une résistance **R** et d'une inductance **L**. Pour avoir un couple mécanique le plus régulier possible (sans tremblement du rotor) et pour pouvoir travailler avec des vitesses de rotation les plus élevées possibles, on cherche à réduire la durée des phases d'extinction et d'établissement des courants dans les bobinages moteurs (on veut réduire la durée des régimes transitoires).

Le circuit de commande des enroulements permettant de répondre aux spécifications énoncées précédemment est le suivant :



Il est basé sur l'utilisation d'un **CI L292** (voir documentation **pages CAN3 et CAN4**) pour chaque phase du moteur.

Le principe de commande est le suivant :

C'est le courant moyen **I_m** d'un enroulement qui est asservi à la tension d'entrée **V_i** (Broche 6). Le fait d'avoir un système bouclé (avec mesure de courant) assure rapidité et précision. L'alimentation d'un enroulement est assurée par un pont en **H** avec hacheur de courant. La fréquence du hacheur est celle de l'oscillateur intégré et l'intensité du courant d'enroulement est proportionnelle au rapport cyclique **α** du signal de hachage.

Q17- Expliquer comment l'étage de sortie du **L292** (voir la structure interne de la documentation **page CAN4**) permet d'avoir une commande bipolaire : le courant dans l'enroulement peut être commuté dans les deux sens (**$I_m > 0$** ou **$I_m < 0$**).

Q18- Donner le rôle des diodes **D1** à **D4**.

Q19- Les oscillateurs des deux **L292** sont synchronisés.

Calculer la fréquence de hachage **f_{osc}** .

En déduire la période de hachage **T_{osc}** .

Q20- Le signal de hachage présente des impulsions de durée **t_H** .

Donner l'expression du rapport cyclique **α** .

Q21- Calculer **t_{H1}** pour avoir **$\alpha_1 = 0,1$** .

Calculer **t_{H2}** pour avoir **$\alpha_2 = 0,2$** .

Donner la relation entre **I_{m2}** et **I_{m1}** courants d'enroulement obtenus respectivement pour **α_2** et **α_1** en régime statique

Q22- Sur la patte **5** du **CI L292** on dispose d'une tension image du courant dans l'enroulement **Im**. Une tension image de **Im** est réinjectée via la broche **7** afin de réaliser un asservissement contrôlant **Im**. Entre les broches **5** et **7** de **IC1** est intercalé un filtre passif réalisé par **R2** et **C1**.

Donner la nature du filtre ainsi réalisé et calculer sa fréquence de coupure **f_C**.

$$\left(f_c = \frac{1}{2\pi R_2 C_1} \right)$$



Q23- La tension appliquée au moteur est une tension hachée. Il en résulte que le courant **Im** circulant dans l'enroulement présente des variations à la fréquence du découpage calculée à la question **19**. Le rôle du filtre **R2 C1** est donc d'atténuer ces oscillations qui pourraient perturber le fonctionnement de la régulation.

D'après les résultats des questions **19** et **22**, le filtre **R2 C1** remplit-il correctement son rôle ? Justifier la réponse.

III. Étude de FP4 : interface d'entrée

Les différentes informations relatives aux capteurs (fin de courses...) et aux ordres venant de boutons poussoirs (mise en marche, ouverture porte..) doivent être envoyées au microprocesseur via le bus de donnée.

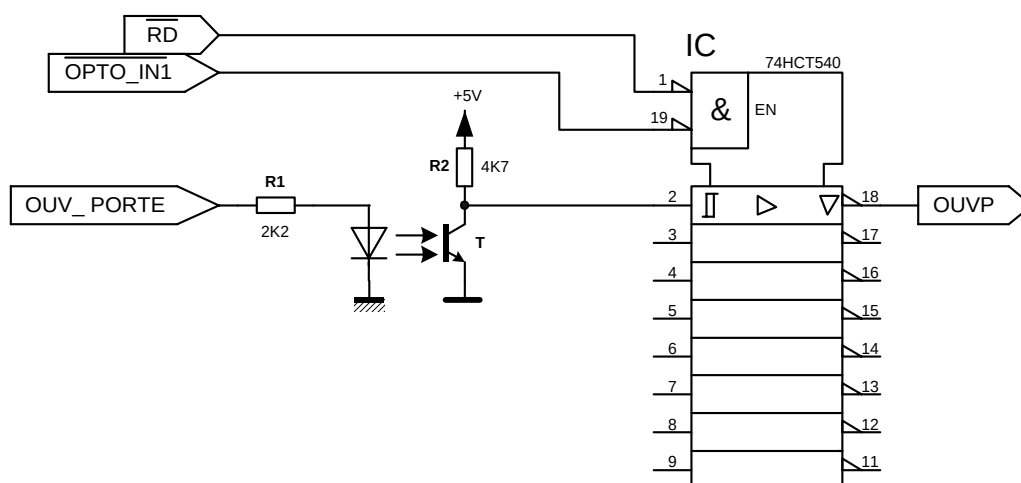
L'interface d'entrée assure une isolation galvanique (grâce à des optocoupleurs) puis une adaptation au bus de donnée par l'intermédiaire d'un buffer 3 états.

L'étude sera limitée à l'acquisition de l'ordre ouverture porte.

L'information d'entrée **OUV_PORTE** provient d'un bouton poussoir. Elle vaut **5V** lorsque l'utilisateur appuie dessus et **0V** lorsqu'il est relâché.

L'information logique associée envoyée sur le bus de données est appelée **OUVP**.

Le schéma structurel est le suivant :



La documentation de l'optocoupleur est donnée **page CAN5**, celle du buffer 74HCT540 **pages CAN6** et **CAN7**.

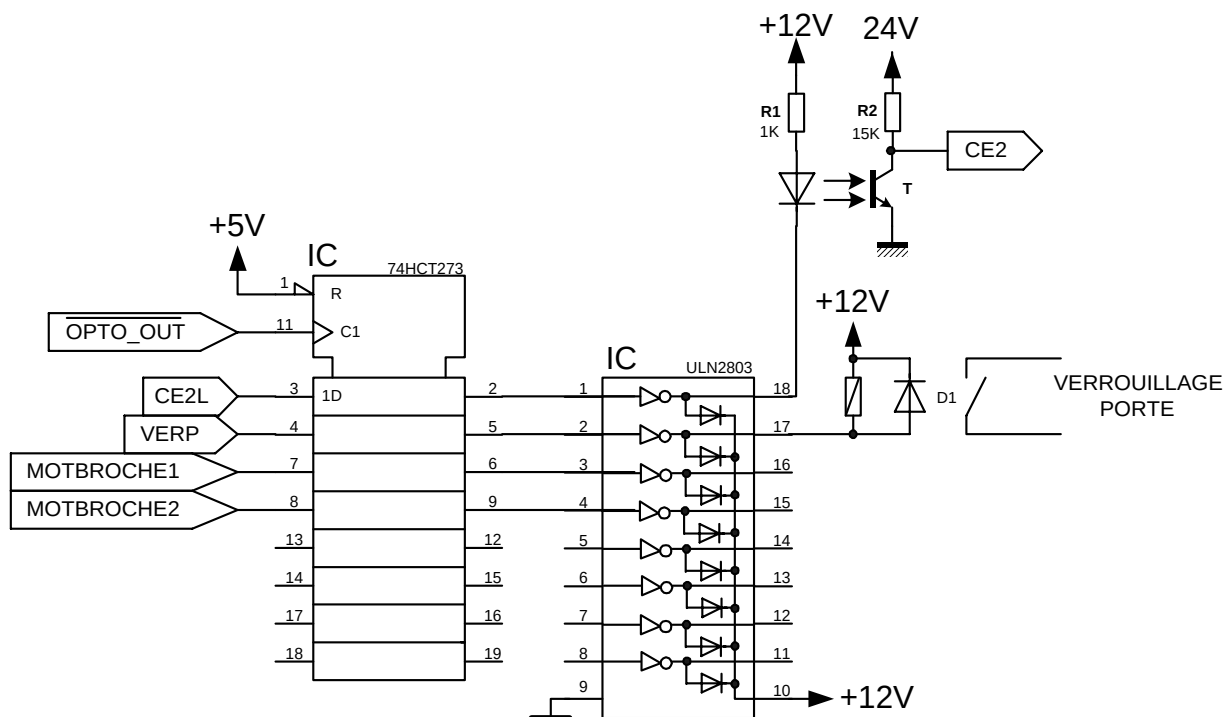
Q24- Relever la caractéristique **V_{CEsatmax}** de l'optocoupleur et calculer l'intensité du courant **I_c** lorsque le phototransistor est saturé.

- Q25- Relever la valeur du taux de transfert CTR_{min} de l'optocoupleur et en déduire la valeur minimale du courant $I_{Fmin} = I_{R1min}$ nécessaire pour saturer le phototransistor.
- Q26- Calculer la valeur de $I_F = I_{R1}$ lorsqu'on demande l'ouverture de la porte. Montrer que le phototransistor est alors correctement saturé.
- Q27- Compléter le tableau du **document réponse N°3 (page CR3)** résumant le fonctionnement de l'interface lorsque $RD = 0$.

IV. Étude de FP3 : interface de sortie

Les différentes commandes fournies par le microprocesseur à destination des actionneurs sont elles aussi interfacées.

Le schéma structurel partiel (limité à deux sorties) de l'interface est le suivant :



La documentation de l'optocoupleur est donnée **page CAN5**, celle du CI 74HCT273 **pages CAN7 et CAN8**, celle du CI ULN2803 **page CAN9**.

Pour des raisons de sécurité, la porte de la machine doit être verrouillée durant l'usage. L'ordre de verrouillage est appelé **VERP**.

- Q28- Quelle est la structure intégrée au **CI ULN2803** située entre les broches **2** et **17** du composant ?
- Q29- La résistance de la bobine du relais de verrouillage vaut $R_{BOB} = 300\Omega$. Calculer le courant I_{BOB} circulant dans la bobine lors du verrouillage en négligeant la tension V_{CEsat} en sortie de l'**ULN 2803**. Ce courant est-il compatible avec le courant de sortie du **CI ULN 2803** ?
- Q30- Rechercher dans la documentation la valeur du courant de sortie maximal du 74HCT273. En déduire le rôle du **CI ULN2803**.

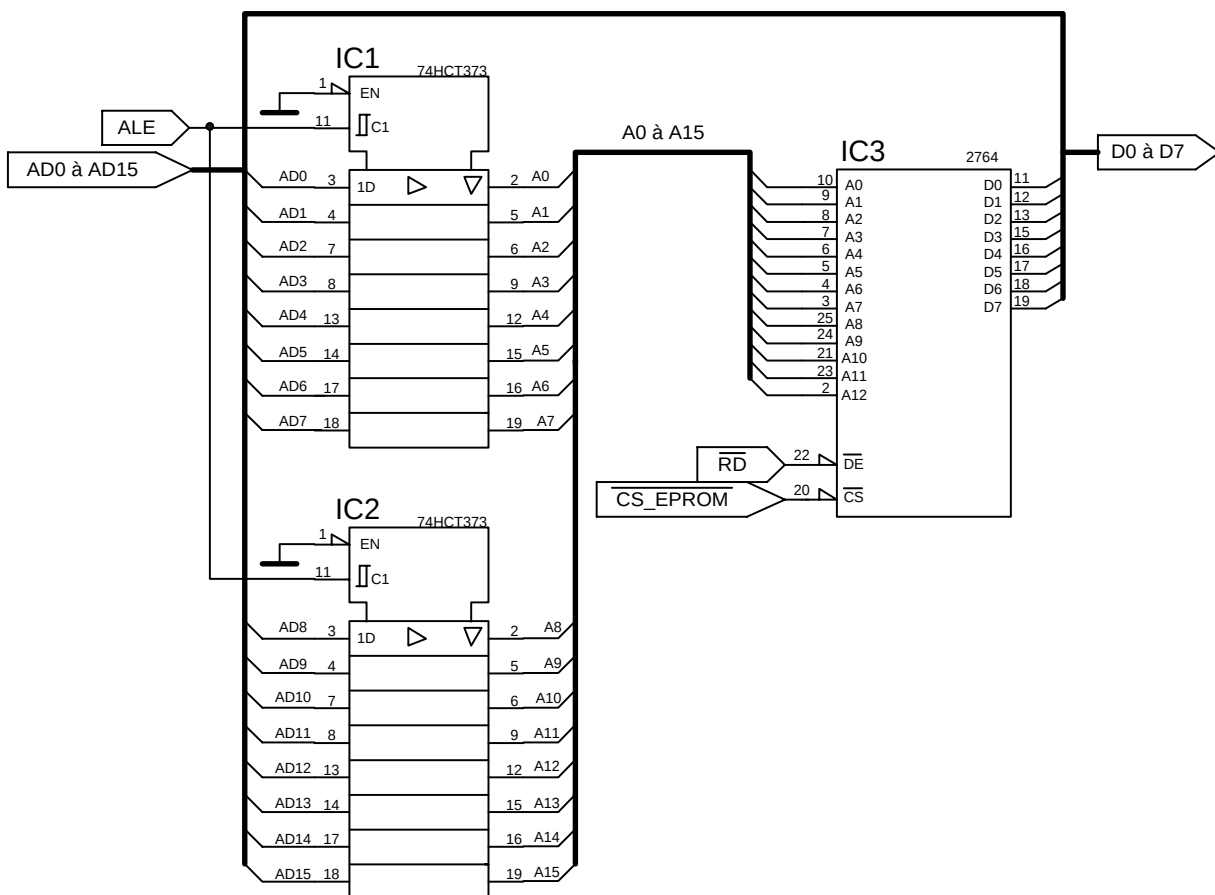
- Q31- Rechercher dans la documentation l'événement sur la broche **11** du **CI 74HCT273** qui déclenche la recopie des entrées vers les sorties.
- Q32- Compléter le **document réponse n°3 (page CR3)** résumant le fonctionnement de l'interface. Pour le chronogramme de **CE2**, indiquer les valeurs significatives sur l'axe des ordonnées.

V. Étude de FP1 : Gestion du processus

Cette fonction analyse les instructions issues de l'ordinateur et génère les ordres de commande des moteurs en tenant compte de l'état des informations d'entrée.

V.1. Étude de FS12 : Mémorisation

Le schéma structurel est le suivant :



- Q33- Quel état faut-il appliquer à l'entrée **ALE** pour mémoriser les adresses (**A0** à **A15**) ?
- Q34- D'après la documentation **page CAN10**, expliquer le fonctionnement de **IC1** et **IC2**.
- Q35- Calculer la capacité de la mémoire (**IC3**) en **kbits** et **koctets**.
D'après la documentation **page CAN10**, quel est le type de la mémoire ?
Donner un autre type de mémoire et donner leurs différences.

V.2. Étude de FS13 : Décodage d'adresses

Cette fonction est réalisée par un **GAL** qui est un circuit dans lequel on peut programmer des équations logiques. Elles permettent de sélectionner les composants avec lesquels le microprocesseur veut travailler.

On rappelle que :

CS_CNA sélectionne le convertisseur Numérique/Analogique.

OPTO_OUT sélectionne l'interface de sortie.

OPTO_IN1 et **OPTO_IN2** sélectionnent l'interface d'entrée.

CS_EPROM sélectionne la mémoire.

Les équations sont les suivantes :

$$\overline{CS_CNA} = \overline{A15.A14.A13}$$

$$\overline{OPTO_OUT} = \overline{A15.A14.A13}$$

$$\overline{OPTO_IN1} = \overline{A15.A14.A13}$$

$$\overline{OPTO_IN2} = \overline{A15.A14.A13}$$

$$\overline{CS_EPROM} = \overline{A15.A14.A13}$$

- Q36- Quel doit être le résultat de ces équations pour sélectionner tous ces composants ?
- Q37- Donner les états de **A15**, **A14** et **A13** correspondants. Pour cela compléter le **document réponse N°3 (page CR3)**.
- Q38- À partir du tableau ci-dessous et des réponses de la question **37**, donner les adresses basse et haute en hexadécimal pour chaque sélection.

Circuit	Adresse	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
CNA	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_OUT	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_IN1	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
OPTO_IN2	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1
EPROM	Début				0	0	0	0	0	0	0	0	0	0	0	0	0
	Fin				1	1	1	1	1	1	1	1	1	1	1	1	1

**BACCALAURÉAT
SCIENCES ET TECHNOLOGIES INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Étude des systèmes techniques industriels



**MACHINE À COMMANDE NUMÉRIQUE
3 AXES**

Partie électronique

- Documentation : CR1 à CR3

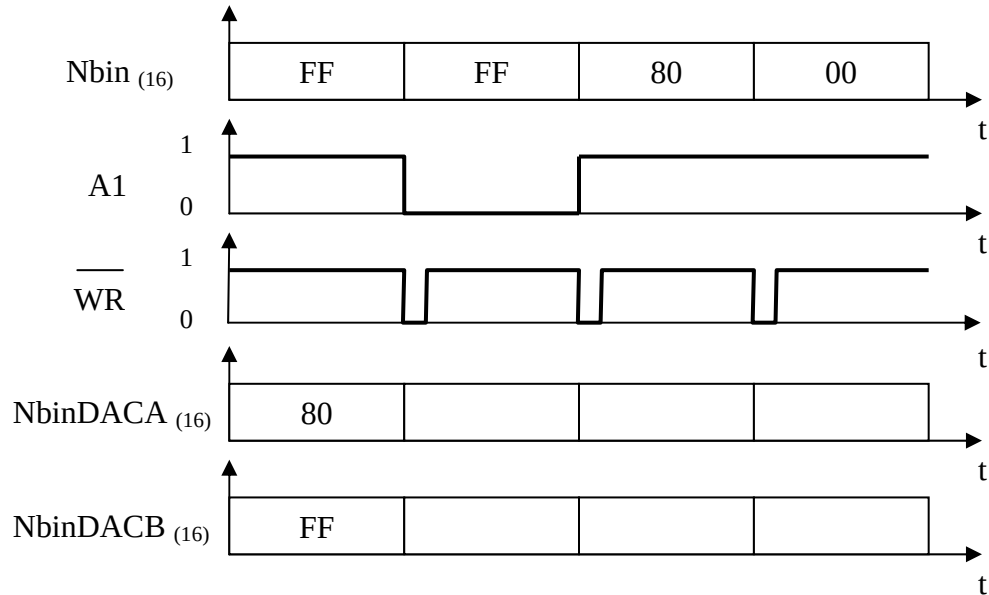
Document réponse N°1

Question 7

A1	DAC chargé
0	
1	



Question 8



Questions 11 et 14

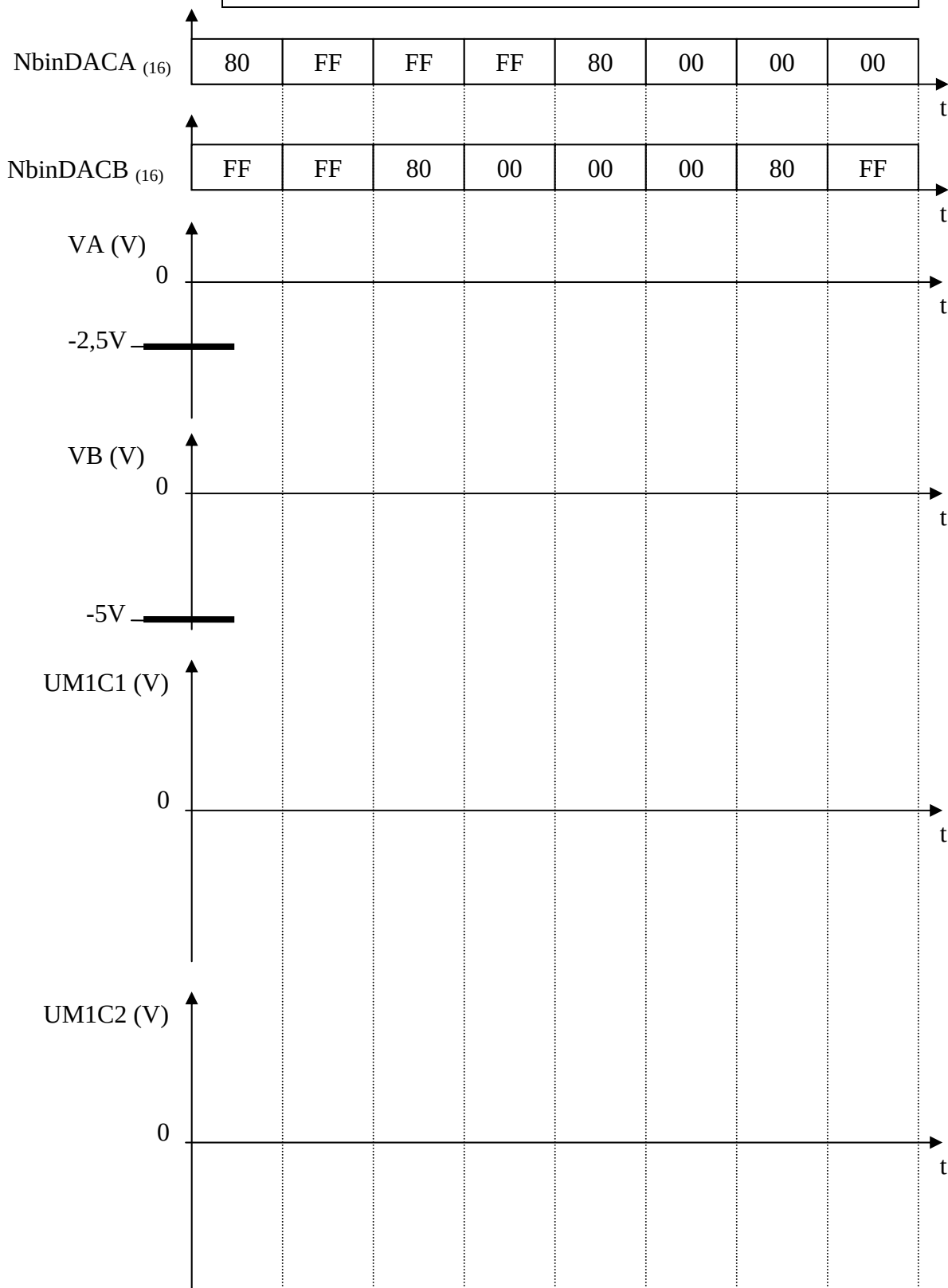
Nbin ₍₁₀₎	Nbin ₍₁₆₎	Nbin ₍₂₎	Tension de sortie du DAC Vout (V)	Tension de sortie de l'ALI UM1C (V)
0	00	0000 0000		
1				
128				
	FF	1111 1111		

question 11

question 14

Questions 12 et 15

On précisera les valeurs remarquables sur l'axe des ordonnées

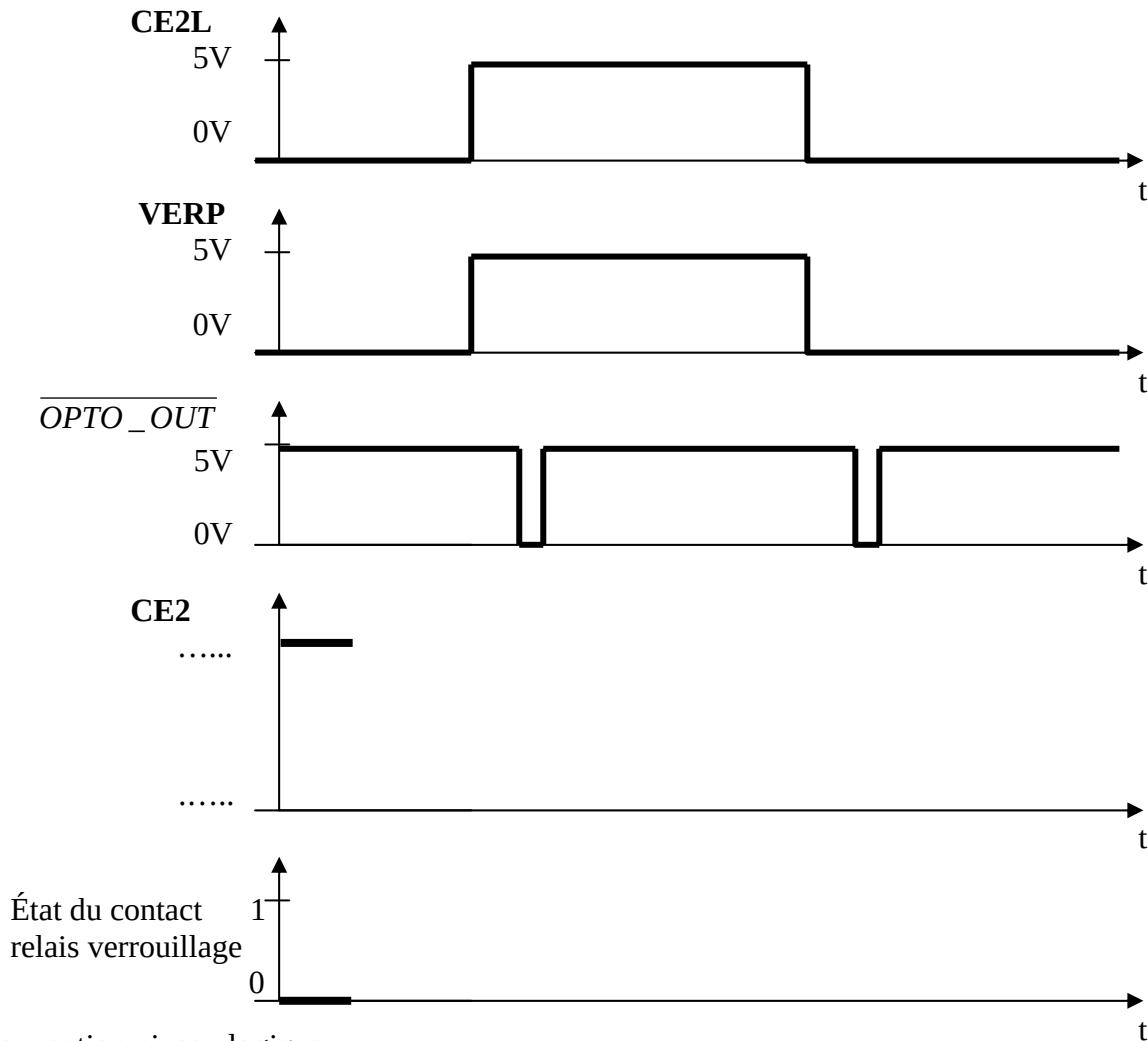


Document réponse N°3

Question 27

État du BP "ouverture porte"	Valeur de $I_F = I_{R1}$	État du photo transistor	Valeur de I_c	Valeur de V_{CE}	Niveau logique de OUVP si $\overline{OPTO_IN1} = 0$
Appuyé					
Relâché					

Question 32



Convention niveau logique :

- 1 pour contact fermé
- 0 pour contact ouvert

Question 37

	$\overline{CS_CNA}$	$\overline{OPTO_OUT}$	$\overline{OPTO_IN1}$	$\overline{OPTO_IN2}$	$\overline{CS_EPROM}$
A15					
A14					
A13					

**BACCALAURÉAT
SCIENCES ET TECHNOLOGIES INDUSTRIELLES**

Spécialité génie électronique

Session 2007

Étude des systèmes techniques industriels



**MACHINE À COMMANDE NUMÉRIQUE
3 AXES**

Partie électronique

- Documentation : CAN1 à CAN10

DESCRIPTION GÉNÉRALE

Le circuit AD7528 est un double convertisseur numérique analogique (DAC) 8 bits.

Des verrous séparés sont associés à chaque DAC pour faciliter les échanges avec un microprocesseur.

Les données sont transférées dans l'un ou l'autre des deux DAC via un port d'entrée 8 bits commun compatible TTL/CMOS. L'entrée de contrôle DACA/DACB détermine lequel des deux DAC doit être chargé. Le cycle de chargement de l'AD7528 est similaire au cycle d'écriture dans une mémoire RAM et le circuit est compatible avec la plupart des microprocesseurs 8 bits.

Le circuit fonctionne avec une tension d'alimentation comprise entre 5V et 15V, en dissipant seulement une puissance de 20mW.

INFORMATIONS LOGIQUES D'INTERFACAGE

Sélection du DAC :

Les deux verrous (Latch) des DAC partagent un port d'entrée 8 bits commun. L'entrée de contrôle DACA/DACB sélectionne celui des deux DAC qui doit prendre en compte la donnée du port d'entrée à convertir.

Sélection du mode:

Les entrées CS et WR contrôlent le mode de fonctionnement du DAC sélectionné conformément à la table de sélection donnée ci-contre.

Mode d'écriture (WRITE) :

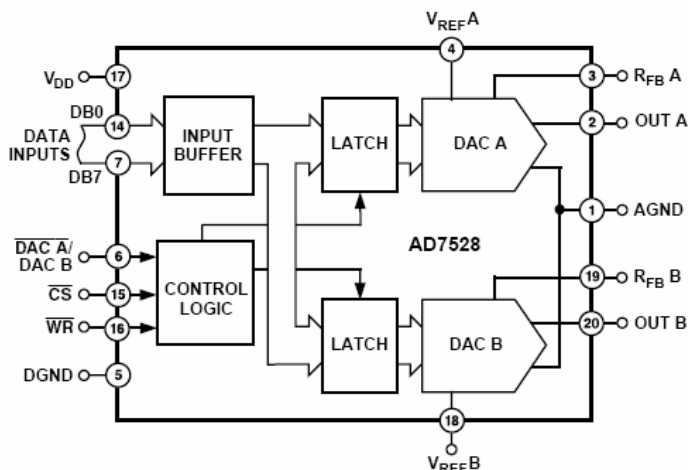
Lorsque les entrées CS et WR sont toutes les deux à l'état bas, le DAC sélectionné est en mode d'écriture. Les verrous d'entrée du DAC sélectionné sont transparents et la sortie analogique est le résultat de la conversion des entrées DB0 à DB7.

Mode de maintien (ou mémorisation HOLD):

Les verrous du DAC sélectionné mémorisent la donnée qui était présente sur les entrées DB0 à DB7 juste avant que

CS et WR passent à l'état haut. Tant que CS et WR restent à l'état haut, les sorties analogiques des 2 DAC n'évoluent pas et gardent la valeur correspondant à la conversion de la donnée mémorisée dans leurs verrous respectifs.

FUNCTIONAL BLOCK DIAGRAM

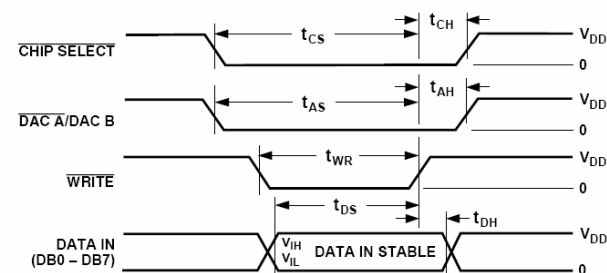


Mode Selection Table

DAC A/DAC B	<u>CS</u>	<u>WR</u>	DAC A	DAC B
L	L	L	WRITE	HOLD
H	L	L	HOLD	WRITE
X	H	X	HOLD	HOLD
X	X	H	HOLD	HOLD

L = Low State; H = High State; X = Don't Care.

WRITE CYCLE TIMING DIAGRAM



- NOTES:
- ALL INPUT SIGNAL RISE AND FALL TIMES MEASURED FROM 10% TO 90% OF V_{DD} .
 $V_{DD} = +5V$, $t_r = t_f = 20ns$;
 $V_{DD} = +15V$, $t_r = t_f = 40ns$;
 - TIMING MEASUREMENT REFERENCE LEVEL IS $\frac{V_{IH} + V_{IL}}{2}$

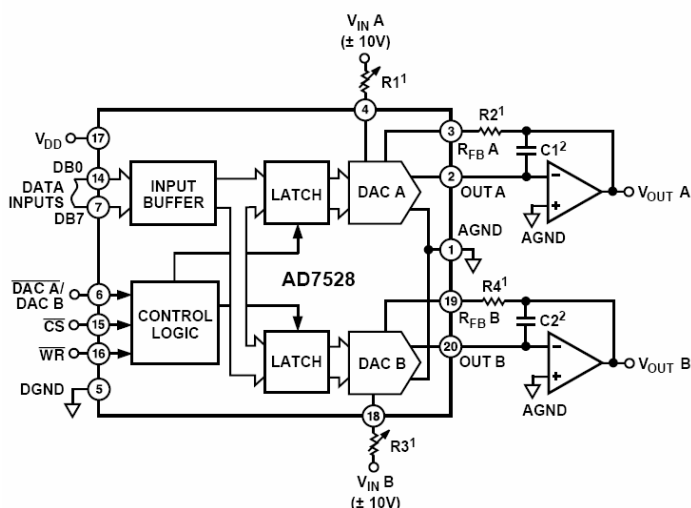


Table I : code unipolaire

DAC Latch Contents	MSB	LSB	Analog Output (DAC A or DAC B)
1 1 1 1 1 1 1 1			$-V_{IN} \left(\frac{255}{256} \right)$
1 0 0 0 0 0 0 1			$-V_{IN} \left(\frac{129}{256} \right)$
1 0 0 0 0 0 0 0			$-V_{IN} \left(\frac{128}{256} \right) = -\frac{V_{IN}}{2}$
0 1 1 1 1 1 1 1			$-V_{IN} \left(\frac{127}{256} \right)$
0 0 0 0 0 0 0 1			$-V_{IN} \left(\frac{1}{256} \right)$
0 0 0 0 0 0 0 0			$-V_{IN} \left(\frac{0}{256} \right) = 0$

NOTES :

¹ R1, R2 ET R3, R4 NE SONT UTILES QUE SI L'ON VEUT MODIFIER LE GAIN.

² C1, C2 (10pF, 15pF) NE SONT UTILES QU'AVEC DES AMPLIFICATEURS HAUTES FREQUENCES POUR EVITER LES OSCILLATIONS.

Note : 1 LSB = $(2^{-8}) (V_{IN}) = (V_{IN})/256$
 $V_{outA} = VA$ $V_{outB} = VB$

Figure 1 : Double DAC utilisé en mode unipolaire ; voir Table I

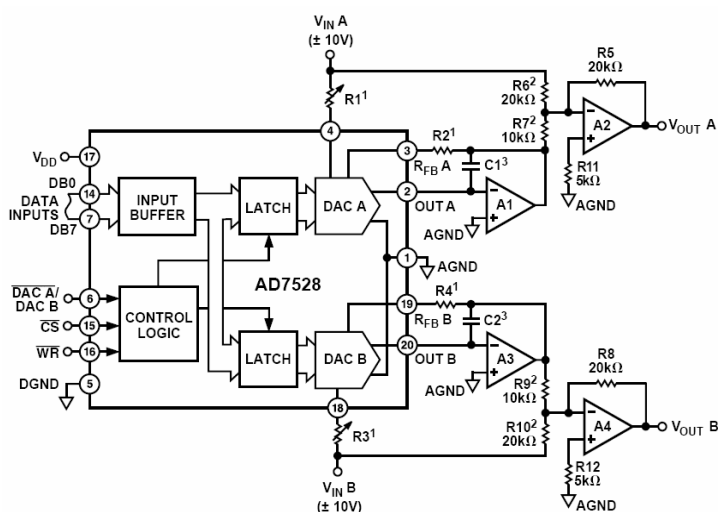


Table II : code bipolaire

DAC Latch Contents	MSB	LSB	Analog Output (DAC A or DAC B)
1 1 1 1 1 1 1 1			$+V_{IN} \left(\frac{127}{128} \right)$
1 0 0 0 0 0 0 1			
1 0 0 0 0 0 0 0			0
0 1 1 1 1 1 1 1			$-V_{IN} \left(\frac{1}{128} \right)$
0 0 0 0 0 0 0 1			$-V_{IN} \left(\frac{127}{128} \right)$
0 0 0 0 0 0 0 0			$-V_{IN} \left(\frac{128}{128} \right)$

Note : 1 LSB = $(2^{-7}) (V_{IN}) = (V_{IN})/128$

NOTES :

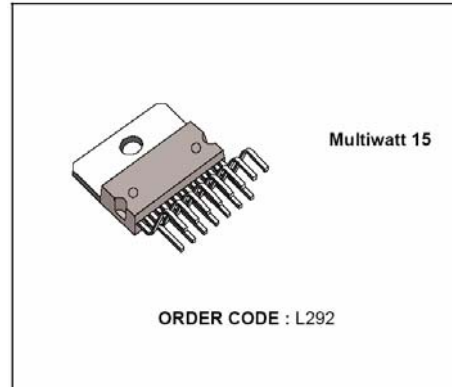
¹ R1, R2 ET R3, R4 NE SONT UTILES QUE SI L'ON VEUT MODIFIER LE GAIN.

³ C1, C2 (10pF, 15pF) NE SONT UTILES QU'AVEC DES AMPLIFICATEURS HAUTES FREQUENCES POUR EVITER LES OSCILLATIONS.

Figure 2 : Double DAC utilisé en mode bipolaire ; voir Table II

SWITCH-MODE DRIVER FOR DC MOTORS

- POSSIBILITES : 2A, 36V, 30 kHz
- RÉGLAGE EXTERNE DU GAIN DE BOUCLE
- TENSION D'ALIMENTATION UNIQUE (18A 36V)
- SIGNAL D'ENTRÉE SYMÉTRIQUE
- PROTECTION THERMIQUE



DESCRIPTION :

Le L292 est un circuit monolithique LSI dans un boîtier 15 broches MULTIWATT®. Il est conçu, en association avec le L290 et L291, pour un asservissement de position des moteurs à courant continu.

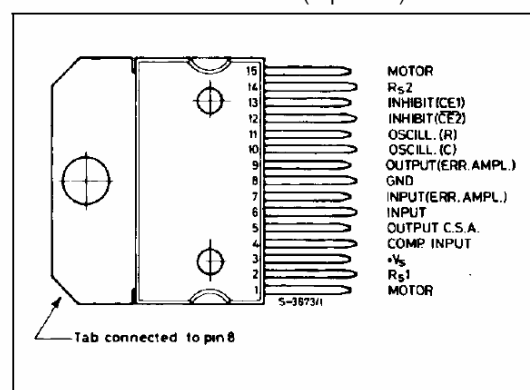
ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_s	Power Supply	36	V
V_i	Input Voltage	- 15 to + V_s	V
$V_{inhibit}$	Inhibit Voltage	0 to V_s	V
I_o	Output Current	2.5	A
P_{tot}	Total Power Dissipation ($T_{case} = 75^\circ C$)	25	W
T_{stg}	Storage and Junction Temperature	- 40 to + 150	$^\circ C$

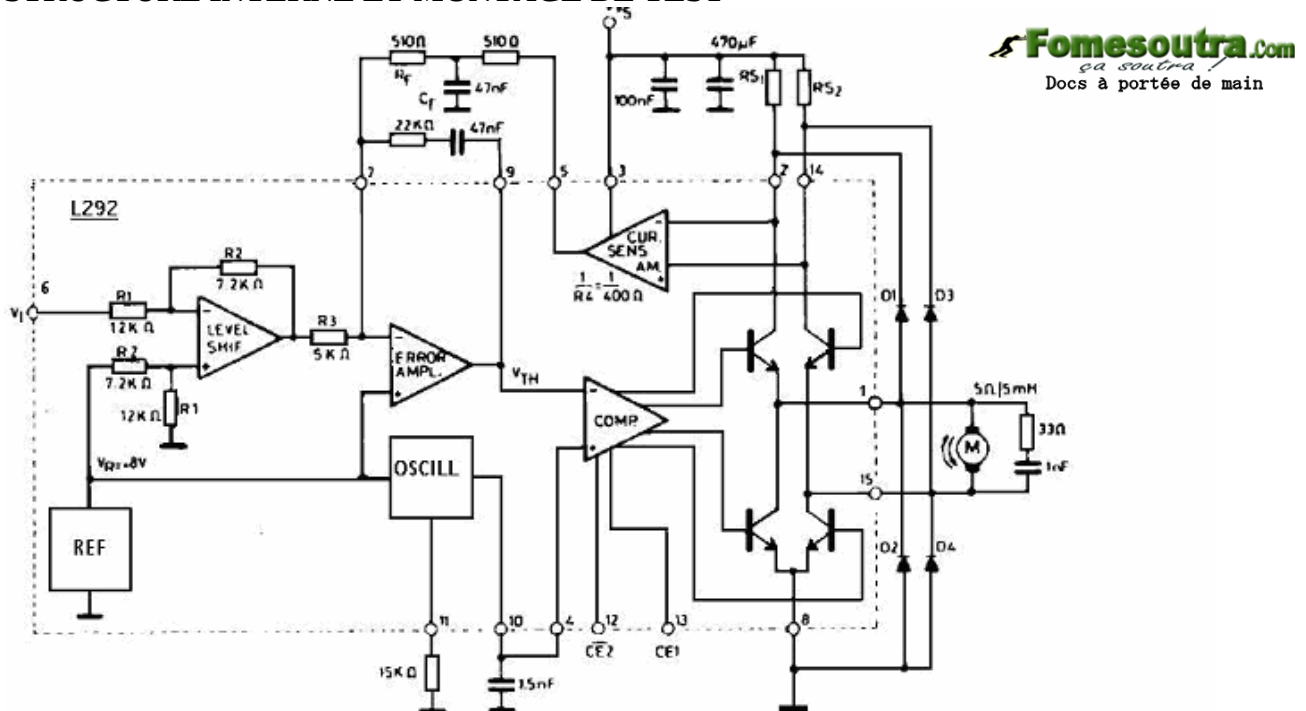
TRUTH TABLE

V _{inhibit}		Output Stage Condition
Pin 12	Pin 13	
L	L	Disabled
L	H	Normal Operation
H	L	Disabled
H	H	Disabled

CONNECTION DIAGRAM (top view)

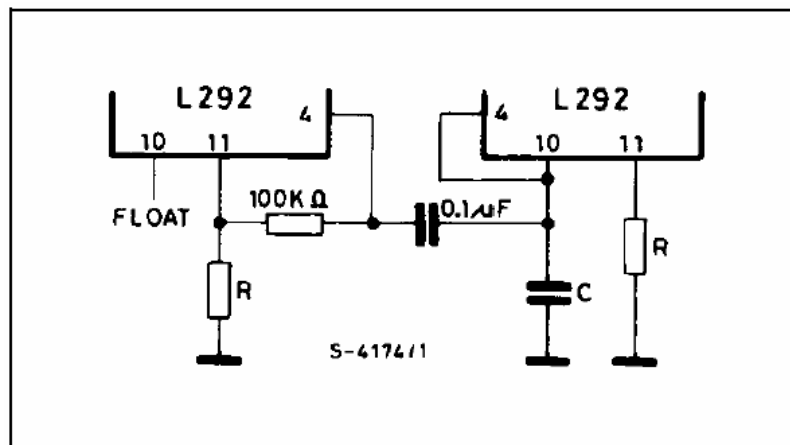


STRUCTURE INTERNE ET MONTAGE DE TEST



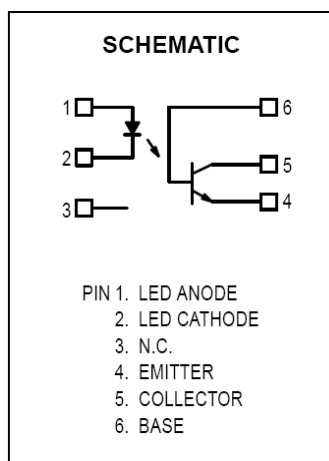
La fréquence de l'oscillateur donc du hachage est donnée par $f_{osc} = 1 / (2RC)$ où R est la résistance connectée entre la patte 11 et la masse et C la capacité du condensateur connectée entre les pattes 10 et 4 et la masse.

SYNCHRONISATION DE DEUX L292



Le signal de hachage est commun et de fréquence $f_{osc} = 1 / (2RC)$

Optoisolators transistor output

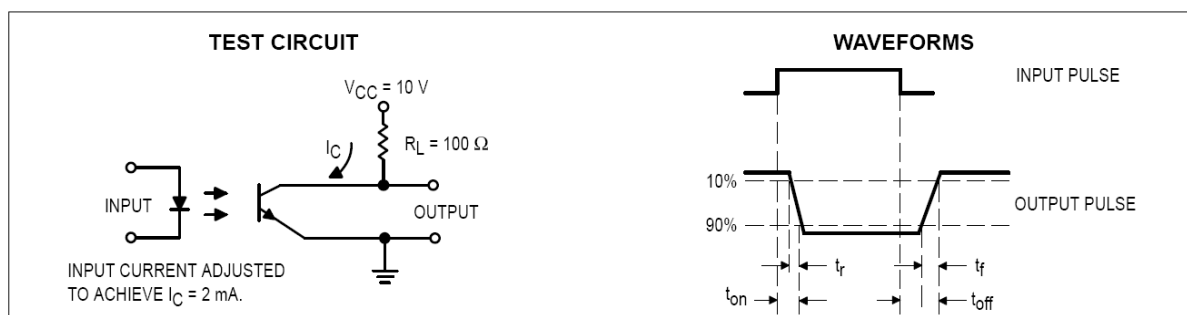


VALEURS LIMITES

Caractéristique	Symbole	Valeur	Unité
LED D'ENTRÉE			
Tension inverse	V_R	6	Volts
Courant direct (continu)	I_F	60	mA
Puissance dissipée	P_D	120	mW
TRANSISTOR DE SORTIE			
Tension collecteur émetteur	V_{CE0}	30	Volts
Tension émetteur base	V_{EB0}	7	Volts
Tension collecteur base	V_{CB0}	70	Volts
Courant collecteur (continu)	I_C	150	mA
Puissance dissipée	P_D	150	mW

CARACTÉRISTIQUE ÉLECTRIQUE à 25°C

Caractéristique	Symbole	Min	Typ	Max	Unité
LED D'ENTRÉE					
Tension directe	V_F	0,8	1,15	1,5	V
TRANSISTOR DE SORTIE					
Tension de saturation collecteur émetteur	V_{CEsat}		0,14	0,3	V
Courant émetteur à l'obscurité	I_{CE0}		1	50	nA
COUPLAGE					
Taux de transfert $CTR = I_C / I_F * 100 \%$	CTR	100	300		%



Octal buffer/line driver; 3-state; inverting

74HC/HCT540

CARACTÉRISTIQUE

- Sorties inversées
- Possibilités de sortie : driver de bus



DESCRIPTION GÉNÉRALE

Le 74HC/HCT540 est un octuple buffer (amplificateur de courant) inverseur avec des sorties trois états. Les sorties 3 états sont contrôlées par les entrées de validation de sorties $\overline{OE1}$ et $\overline{OE2}$. Un niveau haut sur ces entrées positionne les sorties dans un état haute impédance.

DESCRIPTION DES BROCHES

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 19	$\overline{OE1}, \overline{OE2}$	output enable input (active LOW)
2, 3, 4, 5, 6, 7, 8, 9	A_0 to A_7	data inputs
10	GND	ground (0 V)
18, 17, 16, 15, 14, 13, 12, 11	$\overline{Y}_0$ to $\overline{Y}_7$	bus outputs
20	V_{CC}	positive supply voltage

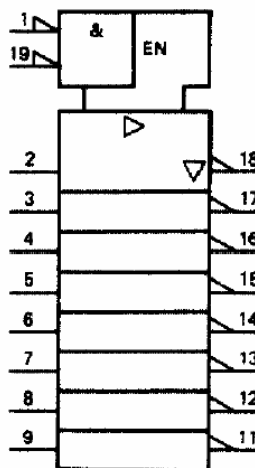
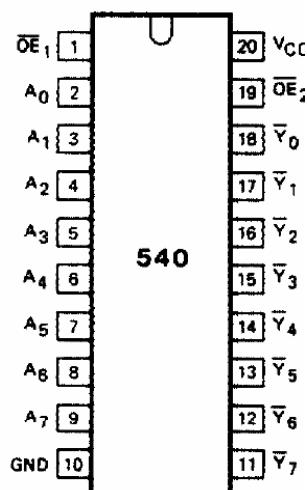


TABLE DE VÉRITÉ

INPUTS			OUTPUT
$\overline{OE1}$	$\overline{OE2}$	A_n	$\overline{Y}_n$
L	L	L	H
L	L	H	L
X	H	X	Z
H	X	X	Z

NOTE :

H = HIGH Niveau logique haut

L = LOW Niveau logique bas

X = Etat indifférent

Z = Etat haute impédance

DM 74HCT273

Registre 8 bits avec mise à zéro

DESCRIPTION GÉNÉRALE

Le 74HCT273 est un registre 8 bits rapide constitué de 8 bascules D avec une entrée d'horloge commune et une entrée de mise à zéro asynchrone active à l'état bas.

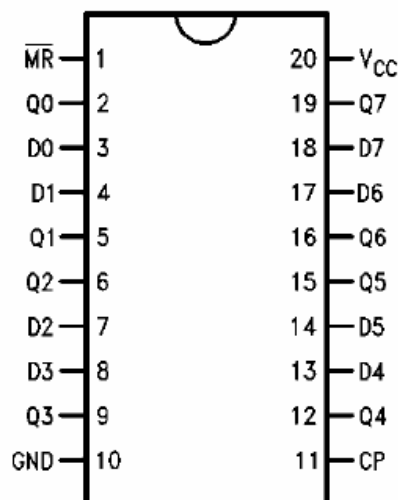
Lorsque l'entrée $\overline{MR}$ est à l'état bas, toutes les sorties sont mises à zéro indépendamment de l'état des autres entrées.

Sur front montant de l'entrée d'horloge, les entrées D sont transférées vers les sorties Q.

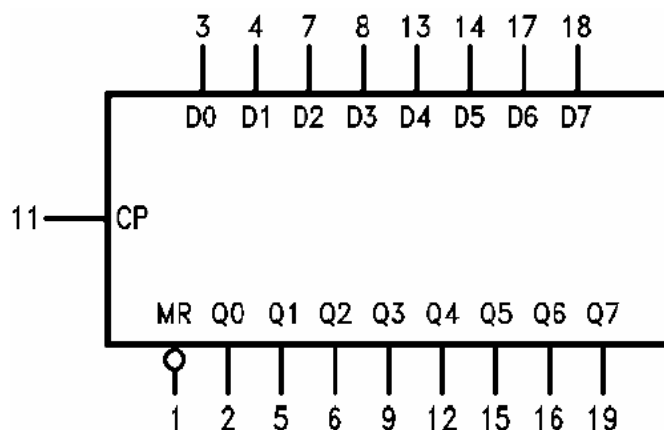
CARACTÉRISTIQUE

- Registre 8 bits rapide
- Déclenché sur front
- Entrée et sortie parallèle
- Entrées d'horloge et de mise à zéro communes aux 8 bascules

BROCHAGE



SYMBOLE LOGIQUE



DESCRIPTION DES BROCHES

Nom de broche	Description
CP	Clock Pulse : entrée d'horloge active sur front montant
D0-D7	Data : entrées de données
$\overline{MR}$	Master Reset : entrée de mise à zéro asynchrone active à l'état bas
Q0-Q7	Sorties des bascules

TABLE DE VÉRITÉ

Entrées			Sorties Q_n
$\overline{MR}$	CP	D_n	
L	X	X	L
H	↑	H	H
H	↑	L	L

Avec :

H = HIGH Niveau logique haut

L = LOW Niveau logique bas

X = Etat indifférent

↑ = Front montant

TENSIONS ET COURANTS CARACTÉRISTIQUE

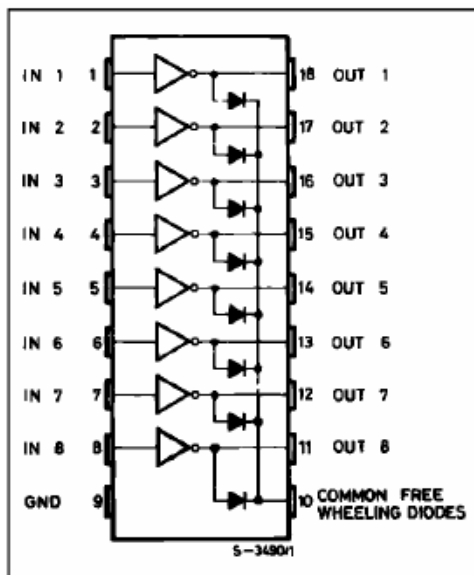
Symbole	Paramètre	Min	Typ	Max	Unité
V_{CC}	Tension d'alimentation	4,75	5	5,25	V
V_{IH}	Tension d'entrée au niveau haut	2			V
V_{IL}	Tension d'entrée au niveau bas			0,8	V
I_{OH}	Courant de sortie au niveau haut			-0,4	mA
I_{OL}	Courant de sortie au niveau bas			8	mA

EIGHT DARLINGTON ARRAYS

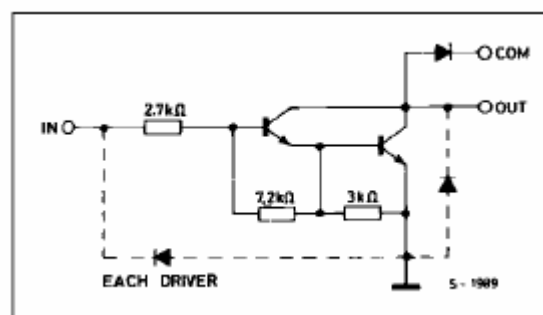
CARACTÉRISTIQUE

- HUIT TRANSISTORS DARLINGTONS AVEC EMETTEURS COMMUNS
- COURANT DE SORTIE JUSQU'A 500mA
- TENSION DE SORTIE JUSQU'A 50V
- DIODES DE ROUES LIBRES INTEGREES
- LES SORTIES PEUVENT ÊTRE BRANCHÉES EN PARALLÈLE
- LES ENTRÉES ET LES SORTIES CORRESPONDANTES SONT IMPLANTÉES FACE À FACE POUR FACILITER LE ROUTAGE

BROCHAGE



STRUCTURE INTERNE POUR UN DARLINGTON DE L'ULN2803



Entre chaque entrée IN et chaque sortie OUT correspondante, on retrouve la structure ci-dessus (soit 8 au total)

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_i	Input Voltage for ULQ2802, 2803, 2804 for ULQ2805	30 15	V V
I_C	Continuous Collector Current	500	mA
I_B	Continuous Base Current	25	mA
P_{tot}	Power Dissipation (one Darlington pair) (total package)	1.0 2.25	W W
T_{amb}	Operating Ambient Temperature Range	- 40 to 105	°C
T_{stg}	Storage Temperature Range	- 55 to 150	°C

OCTUPLE VERROU 3 ETATS

DESCRIPTION GÉNÉRALE :

Le circuit est composé de huit verrous transparents de type D avec une entrée de validation (LE) active à l'état haut et une entrée de validation des sorties ($\overline{OE}$) active à l'état bas.

BROCHAGE :

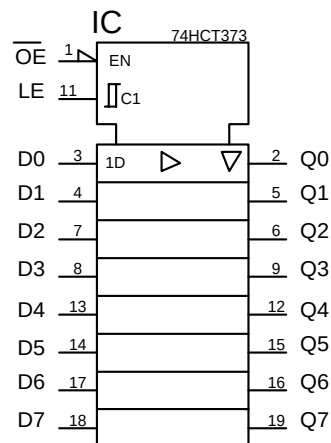
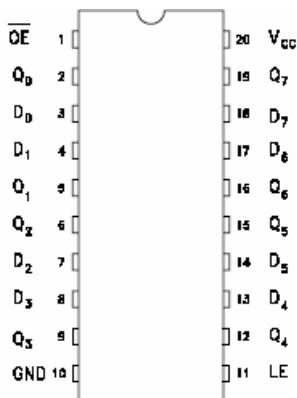


TABLE DE VÉRITÉ :

INPUTS			OUTPUT
$\overline{OE}$	LE	D	Q
H	X	X	Z
L	L	X	NO CHANGE*
L	H	L	L
L	H	H	H

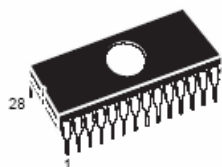
NOTE :

H = HIGH Niveau logique haut

L = LOW Niveau logique bas

X = Etat indifférent

Z = Etat haute impédance



M27C64

64 Kbit (8Kb x8) UV EPROM and OTP EPROM

**BACCALAURÉAT
SCIENCES ET TECHNOLOGIES INDUSTRIELLES**

Spécialité génie électronique

Session 2007



Étude des systèmes techniques industriels

**MACHINE À COMMANDE NUMÉRIQUE
3 AXES**

CORRIGÉ

Partie électronique

CORRIGÉ PARTIE ÉLECTRONIQUE

I- Questions relatives à l'analyse fonctionnelle

- 1- Les deux avantages de la gravure mécanique par rapport à la gravure chimique sont d'être plus sain (pas d'émanation toxique) et plus propre (pas de tâches).
- 2- Moteurs utilisés pour le déplacement de l'outil : moteurs pas à pas.
Moteur utilisé pour la rotation de la broche : moteur à courant continu.
- 3- Le moteur pas à pas permet des déplacements précis (précision d'un pas) sans électronique d'asservissement et convient donc pour le déplacement de l'outil.
Le moteur à courant continu permet à taille égale d'obtenir un couple plus important nécessaire à l'usinage.
- 4- Nature des informations échangées entre la machine et l'ordinateur : numériques
 - sens de circulation des données : bidirectionnel,
 - type de transmission : série.



II- Étude de FP2 : commande des moteurs pas à pas

II.1. Étude de FS21 : conversion numérique analogique deux voies

- 5- Les DAC sont chargés séparément l'un après l'autre. Pour cela un verrou permettant de mémoriser la donnée destinée au DAC est associé à chaque DAC. L'entrée DACA/DACB permet de contrôler lequel des deux verrous qui doit être chargé avec la donnée du seul bus d'entrée.
- 6- $/WR = 0$
Pour $/WR = 1$ les sorties des verrous et des DAC n'évoluent pas (mémorisation).
- 7- cf page Ccor4.
- 8- cf page Ccor4.
- 9- Figure 1 Table I.
- 10- $N_{bin(10)max} = 255$
 $V_{out} = -V_{REF} * N_{bin(10)} / 256 = -5 * N_{bin(10)} / 256$
 $1LSB = V_{REF} / 256 = 5 / 256 = 19,5mV$
- 11- cf. page Ccor4.
- 12- cf. page Ccor5.

CORRIGÉ PARTIE ÉLECTRONIQUE

II.2. étude de FS22 : amplification et décalage

13 $UM1C2 = -R6 * (VB/R4 + VREF/R5) = -4 VB - 2VREF = -4VB - 10$

14- cf. page Ccor4.



$VREF = 5V$ $R1 = R4 = 5K$ $R5 = R2 = 10K$ $R3 = R6 = 20K$

15- cf. page Ccor5.

16- L'utilité de FS22 et d'amplifier et d'obtenir une tension alternative symétrique nécessaire à la commande bipolaire du moteur.

II.3. Étude de FS23 : amplification de puissance

17- L'étage de sortie du L292 est un pont en H constitué de quatre transistors. Ceux-ci fonctionnent 2 par 2 de façon symétrique : 2 transistors commutent le courant dans un sens, les 2 autres le commutent dans l'autre sens.

18- Les diodes D1 à D4 sont des diodes de roue libre. La charge étant inductive, elles assurent la continuité du courant au moment du blocage des transistors et protègent ces derniers.

19- $f_{OSC} = 1 / (2R_{12}C_7) = 1 / (2 * 15*10^3 * 1,5*10^{-9}) = 22,2kHz$
d'où $T_{OSC} = 1 / f_{OSC} = 4,5*10^{-5} s = 45\mu s$

20- $\alpha = t_H / T_{OSC}$

21- $t_{H1} = \alpha_1 * T_{OSC} = 0,1 * 45\mu s = 4,5\mu s$
 $t_{H2} = \alpha_2 * T_{OSC} = 0,2 * 45\mu s = 9\mu s$
 $Im_2 = 2 * Im_1$

22- Filtre passe bas

Fréquence de coupure $f_c = 1 / (2\pi R_2C_1) = 1 / (2\pi * 510 * 100*10^{-9}) = 3120Hz = 3,12kHz$

23- La fréquence des oscillations de Im est de 22,2kHz et se trouve près d'une décade en dehors de la bande passante du filtre (0 à 3,12kHz). L'amplitude des oscillations du courant est donc correctement atténuée.

III- Étude de FP4 : interface d'entrée

24- $V_{CEsat} = 0,3V (max)$

$I_c = (V_{CC} - V_{CEsat}) / R_2 = (5 - 0,3) / 4700 = 1mA$

25- $CTR_{min} = I_c / I_F = 100 \%$

$I_{Fmin} = I_{R1min} = I_c / CTR = 1mA$

26- $I_F = I_{R1} = (V_{OUV_PORTE} - V_F) / R_1 = (5 - 1,5) / 2200 = 1,6mA$

$I_F > I_{Fmin}$ donc le phototransistor est correctement saturé.

27. cf. page Ccor 6.

CORRIGÉ PARTIE ÉLECTRONIQUE

IV- Étude de FP3 : interface de sortie



28. La structure intégrée au CI ULN2803 située entre les broches 2 et 17 du composant est un transistor DARLINGTON.
29. $I_{BOB} = 12 / R_{BOB} = 12 / 300 = 40\text{mA}$
Ce courant est compatible avec le courant de sortie de l'ULN2803 qui peut atteindre 500mA.
30. Courant de sortie maximal du 74HCT273 : $I_{OL} = 8\text{mA}$
On constate que $I_{OL} < I_{BOB}$ et par conséquent le CI 74HCT273 n'est pas capable de drainer le courant I_{BOB} d'où l'utilité de l'ULN2803 qui amplifie le courant.
31. C'est un front montant sur la broche 11 du CI 74HCT273 qui déclenche la recopie des entrées vers les sorties.
32. cf. page Ccor6.

V. Étude de FP1 : Gestion du processus

V.1. Étude de FS12 : Mémorisation

- 33- Niveau logique Haut.
- 34- Lorsque l'entrée ALE est au niveau logique haut, les sorties recopient les entrées ; on mémorise donc les adresses.
ALE est au niveau logique bas ; les sorties gardent le même état.
- 35- 2764 : 13 fils d'adresse $\Rightarrow 2^{13}$ octets $= 2^3 \times 2^{10}$ octets $= 8\text{koctets} = 8 \times 8\text{kbits} = 64\text{kbits}$
2764 est une EPROM
Autre type de mémoire : RAM
EEPROM : Mémoire à lecture seule effaçable aux UV et reprogrammable.
RAM : Mémoire à accès aléatoire, on peut modifier son contenu aléatoirement mais il est perdu si on coupe l'alimentation.

V.2. Étude de FS13 : Décodage d'adresses

- 36- Le résultat doit être 0 pour toutes ces équations.
- 37- cf. page Ccor6.
- 38- $\overline{CS_CNA}$: \$ 0000 à \$ 1FFF
 $\overline{OPTO_IN2}$: \$A000 à BFFF
 $\overline{OPTO_OUT}$: \$2000 à \$3FFF
 $\overline{CS_EPROM}$: \$E000 à FFFF
 $\overline{OPTO_IN1}$: \$8000 à 9FFF

CORRIGÉ PARTIE ÉLECTRONIQUE

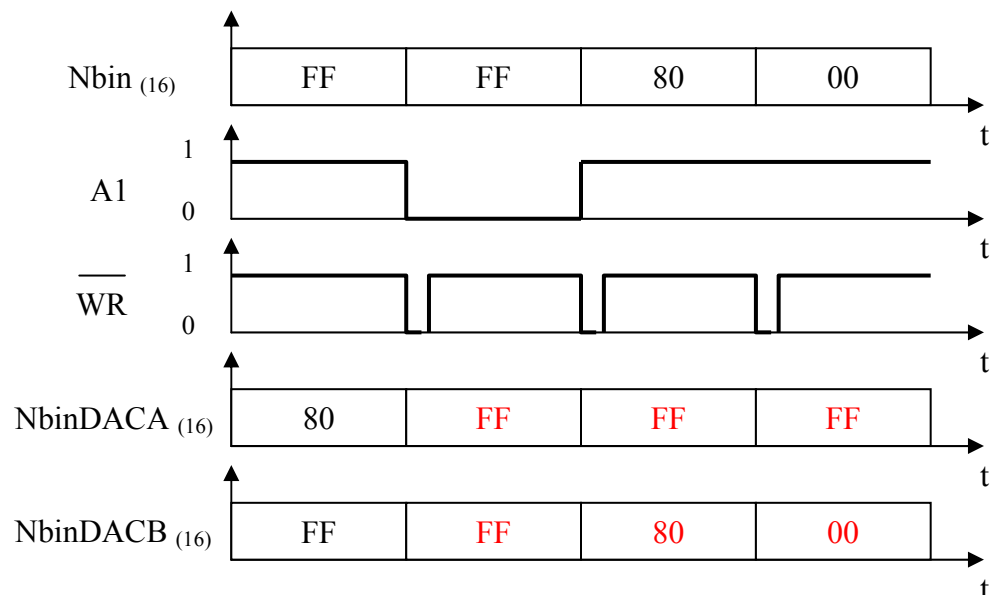
Document réponse N°1

Question 7

A1	DAC chargé
0	DACA
1	DACB

Fomesoutra.com
ça s'écrit à la main !
 Docs à portée de main

Question 8



Questions 11 et 14

Nbin ₍₁₀₎	Nbin ₍₁₆₎	Nbin ₍₂₎	Tension de sortie du DAC Vout (V)	Tension de sortie de l'ALI UM1C (V)
0	00	0000 0000	0	-10
1	01	0000 0001	$-19,5 \cdot 10^{-3}$	-9,92
128	80	1000 0000	-2,5	0
255	FF	1111 1111	-4,98	9,92

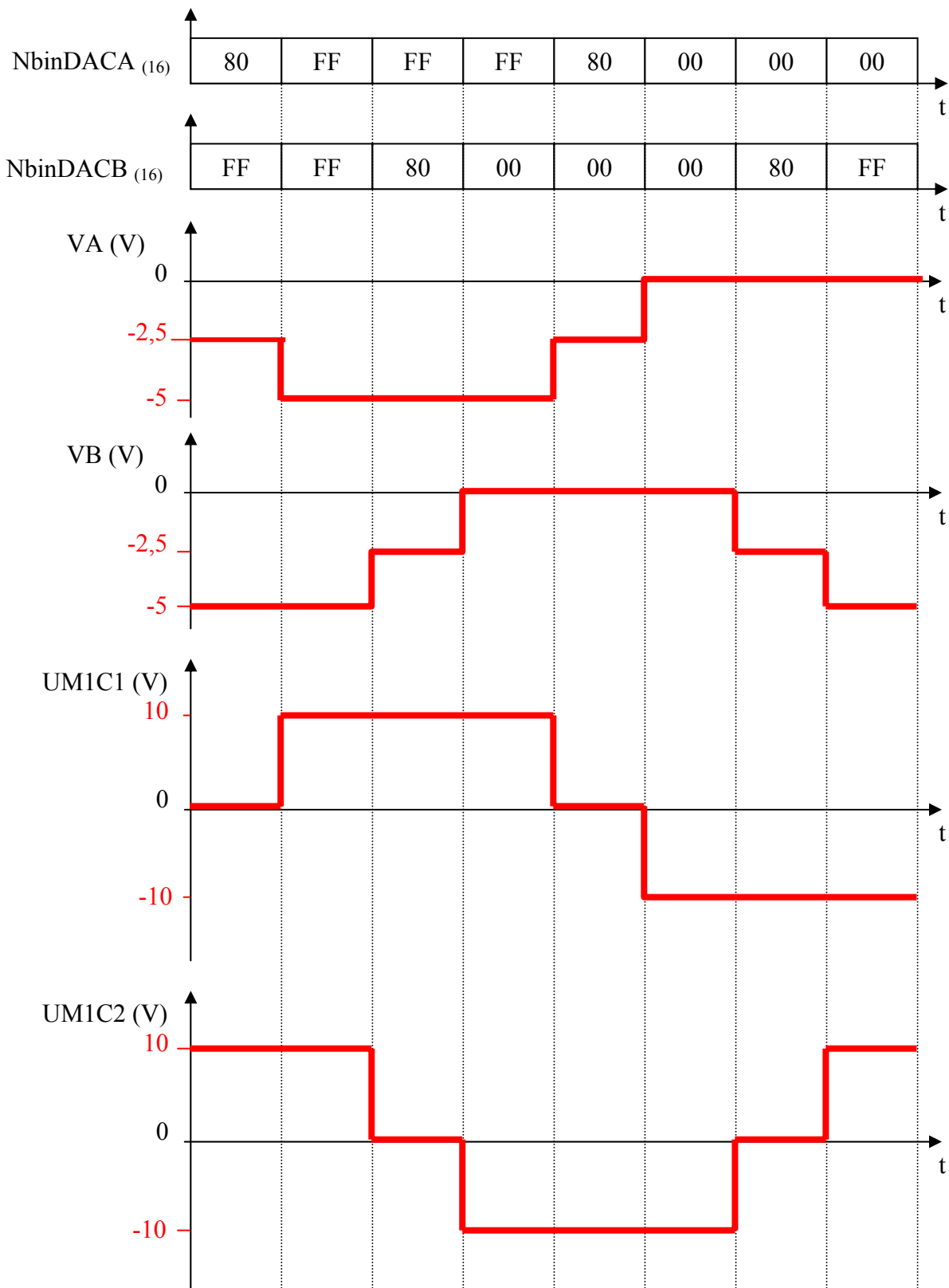
question 11

question 14

Document réponse N°2

Questions 12 et 15

On précisera les valeurs remarquables sur l'axe des ordonnées

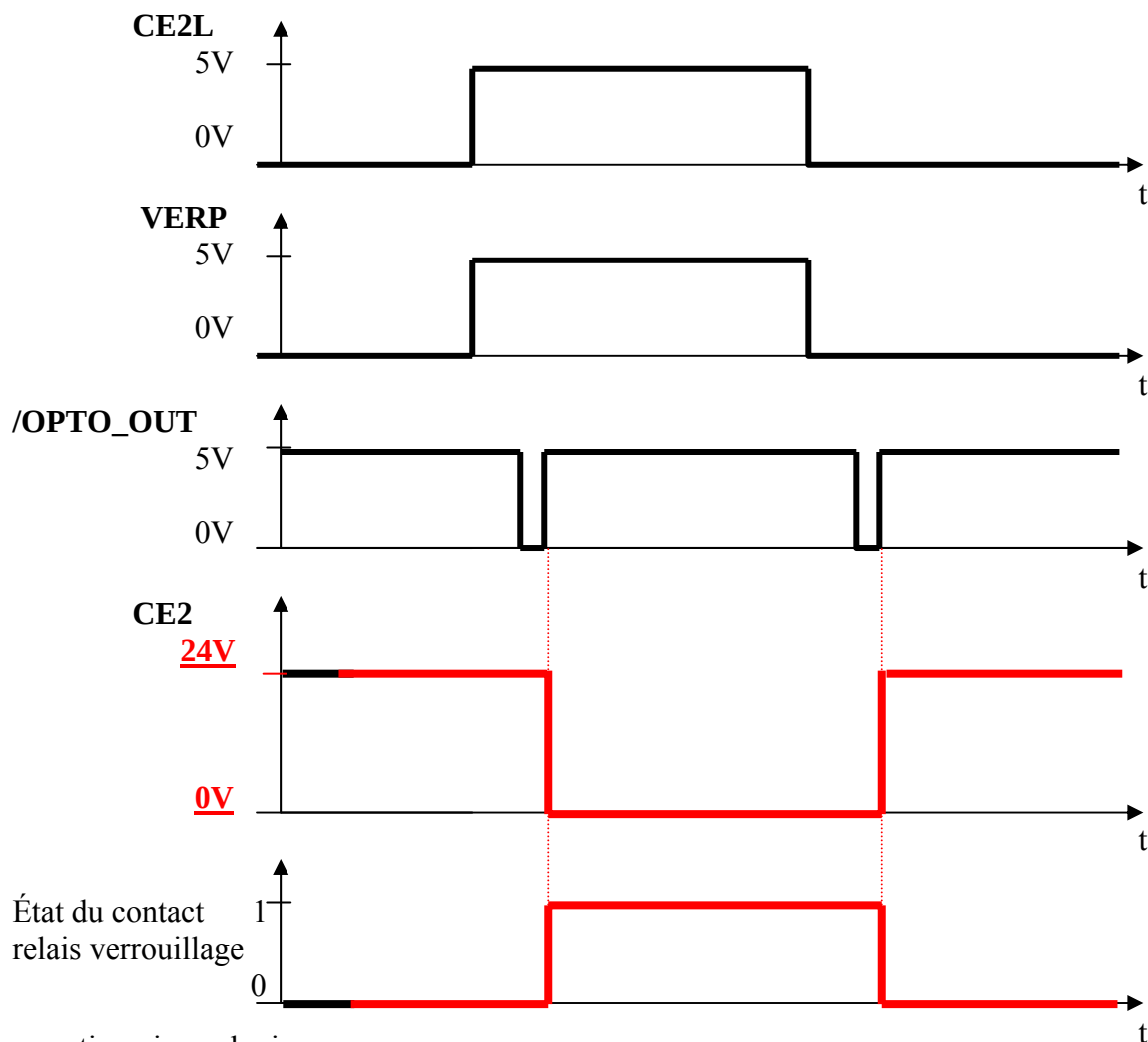


Document réponse N°3

Question 27

État du BP "ouverture porte"	Valeur de $I_F = I_{R1}$	État du photo transistor	Valeur de I_C	Valeur de V_{CE}	Niveau logique de OUVP si /OPTO_IN1 = 0
Appuyé	1,6mA	saturé	1mA	0,3V	1
Relâché	0 mA	bloqué	0mA	5V	0

Question 32



Convention niveau logique :

- 1 pour contact fermé
- 0 pour contact ouvert

Question 37

	$\overline{CS_CNA}$	$\overline{OPTO_OUT}$	$\overline{OPTO_IN1}$	$\overline{OPTO_IN2}$	$\overline{CS_EEPROM}$
A15	0	0	1	1	1
A14	0	0	0	0	1
A13	0	1	0	1	1

CORRIGÉ PARTIE ÉLECTRONIQUE

Barème (Partie Électronique) : Sur 100 points

- I. Analyse Fonctionnelle : 9 pts (Q1 à Q4)
- II. Étude de FP2 (commande des moteurs pas à pas) : 46 pts (Q5 à Q23)
- III. Étude de FP4 (interface d'entrée) : 13 pts (Q24 à Q27)
- IV. Étude de FP3 (interface de sortie) : 11 pts (Q28 à Q32)
- V. Étude de FP1 (Gestion du processus) : 21 pts (Q33 à Q38)

Q1	2	Q11	4	Q21	3(1+1+1)	Q31	2
Q2	2(1+1)	Q12	4(2+2)	Q22	2(1+1)	Q32	2
Q3	2(1+1)	Q13	1	Q23	2	Q33	2
Q4	3(1+1+1)	Q14	4	Q24	3(1+2)	Q34	2
Q5	2	Q15	4(2+2)	Q25	2(1+1)	Q35	5
Q6	2(1+1)	Q16	2	Q26	3(2+1)	Q36	2
Q7	2	Q17	1	Q27	5	Q37	5
Q8	3	Q18	2	Q28	2	Q38	5
Q9	2	Q19	2(1+1)	Q29	2(1+1)		
Q10	3(1+1+1)	Q20	1	Q30	3(1+2)		

I. Analyse Fonctionnelle : 9 pts

Q.1	2
Q.2	2 (1 + 1)
Q.3	2 (1 + 1)
Q.4	3 (1 + 1 + 1)

II. Étude de FP2 (commande des moteurs pas à pas) : 46 pts

Étude de FS21 : 22 pts		Étude de FS22 : 11 pts		Étude de FS23 : 13 pts	
Q5	2	Q13	1	Q17	1
Q6	2 (1 + 1)	Q14	4	Q18	2
Q7	2	Q15	4 (2 + 2)	Q19	2 (1 + 1)
Q8	3	Q16	2	Q20	1
Q9	2			Q21	3 (1 + 1 + 1)
Q10	3 (1 + 1 + 1)			Q22	2 (1 + 1)
Q11	4			Q23	2
Q12	4 (2 + 2)				

III. Étude de FP4 (interface d'entrée) : 13 pts

Q24	3 (1 + 2)	Q28	2
Q25	2 (1 + 1)	Q29	2 (1+1)
Q26	3 (2 + 1)	Q30	3 (1+2)
Q27	5	Q31	2
		Q32	2

IV. Étude de FP3 (interface de sortie) : 11 pts

V. Étude de FP1 : Gestion du processus : 21 pts

Étude de FS12 (Mémorisation) : 9 pts		Étude de FS13 (Décodage d'adresses) : 12 pts	
Q33	2	Q36	2
Q34	2	Q37	5
Q35	5	Q38	5